

521,941  
21 JAN 2005

(2)特許協力条約に基づいて公開された国際出願

� PCT/PTO

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004年4月1日 (01.04.2004)

PCT

(10) 国際公開番号  
WO 2004/027869 A1

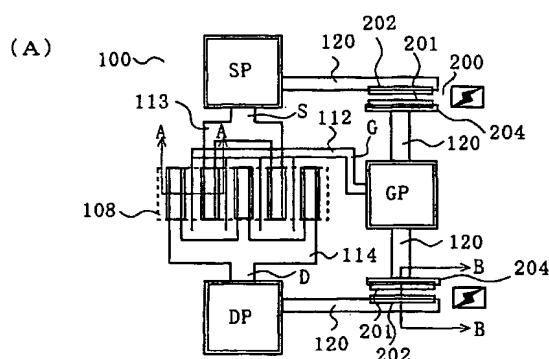
(51) 国際特許分類<sup>7</sup>: H01L 27/095, 29/812  
(21) 国際出願番号: PCT/JP2002/012424  
(22) 国際出願日: 2002年11月28日 (28.11.2002)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ:  
特願2002-262845 2002年9月9日 (09.09.2002) JP  
(71) 出願人(米国を除く全ての指定国について): 三洋電機株式会社 (SANYO ELECTRIC CO., LTD.) [JP/JP]; 〒570-8677 大阪府守口市京阪本通二丁目5番5号 Osaka (JP).

(72) 発明者: および  
(75) 発明者/出願人(米国についてのみ): 浅野 哲郎 (ASANO,Tetsuro) [JP/JP]; 〒370-0536 群馬県邑楽郡大泉町古氷106-27 Gunma (JP). 榊原 幹人 (SAKAKIBARA,Mikito) [JP/JP]; 〒360-0204 埼玉県大里郡妻沼町中央21-1-315 Saitama (JP). 平井利和 (HIRAI,Toshikazu) [JP/JP]; 〒370-0523 群馬県邑楽郡大泉町吉田986-5 Gunma (JP).  
(74) 代理人: 岡田 敬 (OKADA,Kei); 〒373-0842 群馬県太田市細谷町170番地の1 Gunma (JP).  
(81) 指定国(国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT,

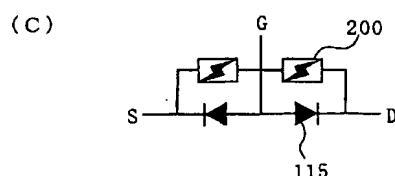
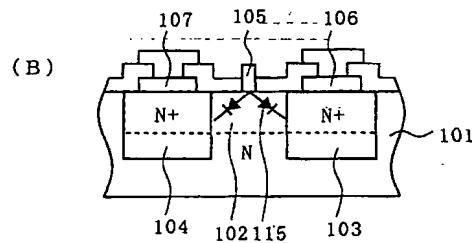
[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: Problem: A microwave FET has a small Schottky junction capacitance or PN junction capacitance therein, and the junction is weak against static electricity. If a protective diode is connected to a microwave FET, the parasitic capacitance increases, inviting degradation of its high-frequency characteristics. Therefore this means cannot be adopted. Means for solving problem: A protective element comprising a first N+type region, an insulating region, and a second N+type region is connected parallel between two terminals of an FET. Since discharge is caused between first and second N+ type regions near to each other, the electrostatic energy reaching the operating region of the FET can be attenuated without increasing the parasitic capacitance.



[続葉有]

WO 2004/027869 A1

BEST AVAILABLE COPY



LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW.

(84) 指定国(広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

#### 規則4.17に規定する申立て:

- AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU,

SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZM, ZW, ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI 特許 (BE, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG) の指定のための出願し及び特許を与えられる出願人の資格に関する申立て (規則4.17(i))

- USのみのための発明者である旨の申立て (規則4.17(iv))

#### 添付公開書類:

- 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

---

#### (57) 要約:

##### 課題

マイクロ波FETでは、内在するショットキ接合容量またはPN接合容量が小さく、それらの接合が静電気に弱い。しかし、マイクロ波デバイスにおいては、保護ダイオードを接続することによる寄生容量の増加が、高周波特性の劣化を招き、その手法を取ることができなかったという問題があった。

##### 解決手段

FETの2端子間に第1N+型領域、絶縁領域、第2N+型領域からなる保護素子を並列に接続する。近接した第1、第2N+領域間で放電できるので、寄生容量を増やすことなくFETの動作領域に至る静電エネルギーを減衰させることができる。

## 明細書

## 半導体装置

## 発明の属する技術分野

本発明は、半導体装置、特に静電破壊電圧を大幅に向上させた半導体装置に関する

## 従来の技術

衛星放送受信機の出現に始まった一般民生用マイクロ波機器市場は、携帯電話の世界的な普及で規模が一挙に拡大し、今新たに、無線プロードバンド用途の市場が本格的に始まろうとしている。それらの市場には、マイクロ波用に適したガリウム・砒素（G a A s）デバイス、従来の S i デバイスを微細化、立体構造化して低寄生容量化、低寄生抵抗化を図った S i マイクロ波デバイスが主に使用されている。

第 13 図は、化合物半導体スイッチ回路装置を示す回路図である。第 1 の F E T 1 と第 2 の F E T 2 のソース電極（あるいはドレン電極）が共通入力端子 I N に接続され、F E T 1 および F E T 2 のゲート電極がそれぞれ抵抗 R 1 、 R 2 を介して第 1 と第 2 の制御端子 C t 1 - 1 、 C t 1 - 2 に接続され、そして F E T 1 および F E T 2 のドレン電極（あるいはソース電極）が第 1 と第 2 の出力端子 O U T 1 、 O U T 2 に接続されたものである。第 1 と第 2 の制御端子 C t 1 - 1 、 C t 1 - 2 に印加される制御信号は相補信号であり、H レベルの信号が印加された側の F E T が O N して、共通入力端子 I N に印加された入力信号をどちらか一方の出力端子に伝達するようになっている。抵抗 R 1 、 R 2 は、交流接地となる制御端子 C t 1 - 1 、 C t 1 - 2 の直流電位に対してゲート電極を介して高周波信号が漏出することを防止する目的で配置されている。

第 14 図は、この化合物半導体スイッチ回路装置を集積化した化合物半導体チ

ップの1例を示している。

GaAs基板にスイッチを行うFET1およびFET2を中心部に配置し、各FETのゲート電極に抵抗R1、R2が接続されている。また共通入力端子IN、出力端子OUT1、OUT2、制御端子Ctl-1、Ctl-2に対応するパッドが基板の周辺に設けられている。なお、点線で示した第2層目の配線は各FETのゲート電極形成時に同時に形成されるゲート金属層(Ti/Pt/Au)20であり、実線で示した第3層目の配線は各素子の接続およびパッドの形成を行うパッド金属層(Ti/Pt/Au)30である。第1層目の基板にオーミックに接触するオーミック金属層(AuGe/Ni/Au)は各FETのソース電極、ドレイン電極および各抵抗両端の取り出し電極を形成するものであり、第14図では、パッド金属層と重なるために図示されていない。

第14図に示したFET1は一点鎖線で囲まれる長方形形状の動作領域12に形成される。下側から伸びる櫛歯状の3本の第3層目のパッド金属層30が出力端子OUT1に接続されるソース電極13(あるいはドレイン電極)であり、この下に第1層目オーミック金属層10で形成されるソース電極14(あるいはドレイン電極)がある。また上側から伸びる櫛歯状の3本の第3層目のパッド金属層30が共通入力端子INに接続されるドレイン電極15(あるいはソース電極)であり、この下に第1層目のオーミック金属層で形成されるドレイン電極14(あるいはソース電極)がある。この両電極は櫛歯をかみ合わせた形状に配置され、その間に第2層目のゲート金属層20で形成されるゲート電極17が動作領域12上に4本の櫛歯形状に配置されている。なお、上側から伸びる真中の櫛歯のドレイン電極15(あるいはソース電極)はFET1とFET2とで共用しており、更に小型化に寄与している。ここで、ゲート幅が $600\mu m$ という意味は各FETの櫛歯状のゲート電極17のゲート幅の総和がそれぞれ $600\mu m$ であることをいっている。

上述の如く、従来のスイッチ回路装置においては、特に静電破壊を保護する対応がなされていない。

## 発明が解決しようとする課題

第15図に、第14図に示すスイッチ回路装置の静電破壊電圧を測定した結果を示す。ここで、静電破壊電圧の測定は、以下の条件により行ったものである。220 pFの試験用容量の両端に試験用電圧を印加し、試験用容量に電荷を蓄積した後、電圧印加のための配線を遮断する。その後、試験用容量に蓄積された電荷を被試験素子(FET)の両端に抵抗成分およびインダクタ成分を付加しない状態で放電し、その後FETが破壊していないかどうか測定する。破壊していないければ印加電圧を10Vずつ上げて試験を繰返し、FETが破壊に至る最初の印加電圧を静電破壊電圧として測定したものである。

この図からも明らかかなように、従来では静電破壊電圧向上のための対策を施していないため、特に制御信号が印加される共通入力端子INー制御端子Ct1ー1間、共通入力端子INー制御端子Ct1ー2間の静電破壊電圧が共に140Vしかなく最も低い。

また、静電破壊電圧はどの端子間の値かによりばらつきがある。この静電破壊電圧を決める詳細なメカニズムは不明であるが、スイッチ回路装置においては、最も低い静電破壊電圧を示す2端子間の値は、一般的には、上述の如く100V程度以下であり、取り扱いに細心の注意が必要であった。すなわち、最も低い静電破壊電圧となる端子間の値がその素子全体の静電破壊電圧に支配的となるため、この端子間の静電破壊電圧を向上させることが課題である。

また、この例に限らず、これらのマイクロ波通信用デバイスは、他の音響用、映像用、電源用デバイスと異なり、これらのデバイスに内在するショットキ接合またはPN接合容量が小さく、それらの接合が静電気に弱いという問題があった。

一般に静電気からデバイスを保護するには、静電破壊しやすい、PN接合、ショットキ接合を含むデバイスに、静電破壊保護ダイオードを並列に接続するという手法が考えられる。しかし、マイクロ波デバイスにおいては、保護ダイオードを接続することによる寄生容量の増加が、高周波特性の劣化を招き、その手法を取ることができなかつた。

## 課題を解決するための手段

本発明は上述した諸々の事情に鑑み成されたもので、第1に、基板上に設けた動作領域表面に接続するゲート電極、ソース電極およびドレイン電極と、各電極に接続するゲート端子、ソース端子、ドレイン端子とを有する被保護素子となるFETと、前記被保護素子のいずれか2つの端子間に並列に接続され、第1の高濃度不純物領域と第2の高濃度不純物領域の2端子間に絶縁領域を配置した保護素子とを有し、前記被保護素子の2つの端子間に印加される静電エネルギーを前記第1および第2の高濃度不純物領域間で放電させ、前記被保護素子の2つの端子に対応する前記2つの電極に到達する静電エネルギーを前記2つの電極間の静電破壊電圧を超えない程度に減衰させることにより、解決するものである。

第2に、基板上の動作領域表面に接続するソース電極、ゲート電極およびドレイン電極を設けた第1および第2のFETを形成し、両FETに共通のソース電極あるいはドレイン電極に接続する端子を共通入力端子とし、両FETのドレイン電極あるいはソース電極に接続する端子をそれぞれ第1および第2の出力端子とし、両FETのゲート電極に接続する端子をそれぞれ第1および第2の制御端子とし、前記両制御端子に制御信号を印加して、前記両制御端子と前記ゲート電極とを接続する接続手段である抵抗を介していずれか一方のFETを導通させて前記共通入力端子と前記第1および第2の出力端子のいずれか一方と信号経路を形成するスイッチ回路装置を被保護素子とし、前記被保護素子の少なくとも1つの前記制御端子と前記入力端子間に並列に接続され、第1の高濃度不純物領域と第2の高濃度不純物領域の間に絶縁領域を配置した保護素子とを有し、前記少なくとも1つの制御端子と前記共通入力端子間に、外部より印加される静電エネルギーを前記第1および第2の高濃度不純物領域間で放電させ、前記少なくとも1つの制御端子および共通入力端子にそれぞれ対応する電極間に到達する静電エネルギーを前記電極間の静電破壊電圧を超えない程度に減衰させることを特徴とすることにより解決するものである。

## 発明の実施の形態

以下に本発明の実施の形態を詳細に説明する。

まず、第1図から第8図を用いて、本発明の第1の実施の形態としてG a A s M E S F E Tを例に説明する。

第1図は、第1の実施形態を示す概要図であり、第1図(A)は平面図、第1図(B)は第1図(A)のA-A線断面図であり、第1図(C)は第1図(A)の等価回路図である。このように本発明の半導体装置は、被保護素子100と、保護素子200とから構成される。

第1図(A)、第1図(B)のごとく、被保護素子100は、M E S F E Tであり、半絶縁基板101であるG a A s表面に設けた動作層102とショットキ接合を形成するゲート電極105と、動作層102両端に設けた高濃度不純物領域からなるソース領域103およびドレイン領域104と、その表面にオーミック接合を形成するソース電極106およびドレイン電極107とを有する。ここで、各電極が接続する動作層102、ソースおよびドレイン領域103、104をF E Tの動作領域108と称し、第1図(A)では破線で示す。

本明細書においては、F E T動作領域108内のゲート電極105、ソース電極106、ドレイン電極107は、ゲート配線112、ソース配線113、ドレイン配線114を介してゲートパッドG P、ソースパッドS P、ドレインパッドD Pとそれぞれ接続する、とする。また、ゲート配線112、ソース配線113、ドレイン配線114が集束し、対応する各パッドに至る部分をゲート端子G、ソース端子S、ドレイン端子Dと称する。

端子について、ここでの図示は省略するが、被保護素子100に、ゲートパッドG P、ソースパッドS P、ドレインパッドD Pすべてを具備していないなくてもよく、パッドは配置されていないが端子は存在する場合を含むとする。例えば、2個のF E Tを集積化した2段アンプM M I Cにおいては、前段F E Tのドレインと後段F E Tのゲートには、パッドは存在しないが端子は存在する、というような場合である。

各配線 112、113、114は金属配線に限らず、N+層による抵抗なども含む。また動作領域108内の各電極に対応する各ボンディングパッドSP、DP、GPは、一様な配線だけにより接続しているとは限らず、配線途中に抵抗や容量、インダクタなどが挿入されている場合も含む。すなわちDC、AC、高周波、何らかの電気的信号が、各動作領域内108の電極と相当する各ボンディングパッドの間を伝わる、すべての場合を含むとする。

ここでは一例として、ゲート電極105、ソース電極106およびドレイン電極107はそれぞれ金属配線112、113、114により延在されゲートパッドGP、ソースパッドSP、ドレインパッドDPと接続する、とする。

MESFETにおいては、ゲートショットキ接合の容量が小さく、ゲート端子G—ソース端子S間またはゲート端子G—ドレイン端子D間に、ゲート端子G側をマイナスにしてサージ電圧を印加する場合が最も静電破壊に弱い。この場合、動作領域108と動作領域108表面に設けられたゲート電極105との界面に形成されるショットキバリアダイオード115に対して逆バイアスに静電気が印加される状態となる。

第1図(B)、第1図(C)の如く、GaAsMESFET100において、静電破壊電圧を考えるときはゲートショットキ接合は逆バイアス状態である。つまり、そのときの等価回路はゲート端子G—ソース端子S間およびゲート端子G—ドレイン端子D間に、ショットキバリアダイオード115が接続された回路となる。

静電破壊からの保護は、弱い接合であるゲート電極105のショットキ接合にかかる静電エネルギーを軽減すれば良い。そこで、本実施形態では、MESFET100の2端子間に並列に上記の保護素子200を接続し、対応する2端子間から印加される静電エネルギーに対し、それを一部放電するためのバイパスとなる経路を設けることにより、静電破壊から弱い接合を保護することとした。

本実施形態では、第1図(A)、第1図(C)の如く、ソース端子S—ゲート端子Gの2端子間となるソースパッドSP—ゲートパッドGP間と、ドレイン端子

D-ゲート端子Gの2端子間となるドレインパッドD P-ゲートパッドG P間に、保護素子200をそれぞれ並列に接続する。これにより、2端子が接続するボンディングパッドから印加された静電エネルギーを各配線120を使用して、保護素子200内部で、一部放電させることができる。すなわち、静電破壊強度が最も弱いFET動作領域108上の、ゲートショットキ接合に至る静電エネルギーを減少させ、FET100を静電破壊から保護することができる。ここでは、ゲート端子G-ドレイン端子D間、およびゲート端子G-ソース端子S間の両方に保護素子200を接続して放電させるが、どちらか一方だけでもよい。

ここで保護素子200について第2図を用いて説明する。

第2図は保護素子を示す概要図である。

本明細書における保護素子200とは、図の如く、近接する第1の高濃度不純物領域201と第2の高濃度不純物領域202の2端子間に絶縁領域203を配置した素子である。第1および第2の高濃度不純物領域201、202は、基板201にイオン注入及び拡散により設けられる。本明細書においては、以降これら高濃度不純物領域を、第1N+型領域201、第2N+型領域202として説明するが、これらは同じ導電型の不純物に限らず、異なる導電型の不純物でも良い。第1および第2N+型領域201、202は、静電エネルギーを通せる距離、例えば $4\mu\text{m}$ 程度離間して設けられ、その不純物濃度は、共に $1 \times 10^{17} \text{ cm}^{-3}$ 以上である。また、第1および第2N+型領域201、202の間には絶縁領域203が当接して配置される。ここで、絶縁領域203とは、電気的に完全な絶縁ではなく、半絶縁性基板の一部203a、または基板201に不純物をイオン注入して絶縁化した絶縁化領域203bである。また、絶縁領域203の不純物濃度は、 $1 \times 10^{14} \text{ cm}^{-3}$ 以下程度、抵抗率は $1 \times 10^3 \Omega \text{ cm}$ 以上が望ましい。

絶縁領域203の両端に当接して高濃度不純物領域201、202を配置し、2つの高濃度不純物領域201、202の離間距離を $4\mu\text{m}$ 程度にすると、2つの高濃度不純物領域201、202がそれぞれ接続する被保護素子の2端子間に

向かって外部より印加される静電エネルギーを、絶縁領域 203 を介して放電することができる。

この 2 つの N+ 型領域の離間距離  $4 \mu m$  は、静電エネルギーを通すのに適當な距離であり、 $10 \mu m$  以上離間すると保護素子間での放電が確実でない。N+ 型領域の不純物濃度および絶縁領域の抵抗値も、同様である。

通常の FET 動作では静電気のように高い電圧が印加されることはないとため、 $4 \mu m$  の絶縁領域を信号が通ることは無い。またマイクロ波のような高周波でも同様に  $4 \mu m$  の絶縁領域を信号が通ることは無い。従って通常の動作では、保護素子は特性に何ら影響を及ぼさないため、存在しないのと同じである。しかし静電気は瞬間に高い電圧が印加される現象であり、そのときは  $4 \mu m$  の絶縁領域を静電エネルギーが通り、高濃度不純物領域間で放電する。また絶縁領域の厚みが  $10 \mu m$  以上になると、静電気にとっても抵抗が大きく放電しにくくなる。

これら、第 1 N+ 型領域 201 および第 2 N+ 型領域 202 を、被保護素子 100 の 2 つの端子間に並列に接続する。第 1 および第 2 N+ 型領域 201、202 はそのまま保護素子 200 の端子としてもよいし、更に金属電極 204 を設けても良い。

第 3 図および第 4 図に、金属電極 204 を設ける場合を示す。この金属電極 204 は、被保護素子である MESFET 100 の端子と接続するボンディングパッド、またはボンディングパッドに接続する配線と接続する。第 3 図は、第 1 および第 2 N+ 型領域 201、202 とショットキ接合を形成する金属電極 204 であり、第 4 図はオーミック接合を形成する金属電極 204 である。ここでは便宜上、ショットキー接合の金属電極 204 s、オーミック接合の金属電極 204 o として説明する。

第 3 図 (A) は、金属電極 204 s が、第 1 N+ 型領域 201 および / 又は第 2 N+ 型領域 202 表面とショットキ接合を形成するものである。マスク合わせ精度及び両 N+ 領域 201、202 の抵抗分を考慮し、絶縁領域 203 端部から  $0.1 \mu m$  から  $5 \mu m$  離間して、第 1、第 2 N+ 型領域 201、202 表面に設

けられる。5 μm以上離間すると抵抗分が大きく静電気が通りにくくなる。金属電極204sは、第1、第2N+型領域201、202上のみに設けられても良いし、その一部が、半絶縁基板101に延在され基板表面とショットキ接合を形成しても良い。

また、第3図(B)、第3図(C)の如く、第1、第2N+型領域201、202上に、保護用窒化膜などの縁膜膜205を介して金属電極204sを設けても良い。この場合、金属電極204sは半絶縁基板101上に延在され、基板101を介して第1、第2N+型領域201、202と接続することになる。更に第3図(D)の如く、両N+型領域201、202の上には金属層が設けられず、その外側の半絶縁基板101と金属電極204sがショットキ接合を形成する構造であってもよい。

第3図(B)、第3図(C)、第3図(D)の場合すべて、金属電極204sは第1、および／又は第2N+型領域201、202とは直接接続されない。このように金属電極204sは第1および／または第2のN+型領域201、202端部から0 μmから5 μm程度外側で基板とショットキ接合を形成する構造でもよい。すなわち、第3図(B)、第3図(C)、第3図(D)の如く第1、第2N+型領域201、202と金属電極204sは接する必要はなく、5 μm以内であれば半絶縁基板を介してN+型領域と金属電極204sとは充分な接続を確保できる。

一方第4図には、第1及び／又は第2N+型領域とオーミック接合を形成する金属電極204oを示す。

金属電極204oは、前記第1および／又は第2N+型領域201、202とオーミック接合を形成してもよい。半絶縁基板101と金属電極204oとはオーミック接合を形成することはできないので、この場合は隣接する基板101上に金属電極204oが延在することはない。金属電極204oは、被保護素子のボンディングパッド（またはボンディングパッドに接続する配線）120と接続させるが、オーミック接合の場合は、図の如く、他の金属層206を介して金属

電極 204〇とパッド（または配線）120と接続させる。

オーミック接合の方がショットキ接合より抵抗分が小さく、静電気を通しやすい。その意味ではオーミック接合の方がショットキ接合より静電破壊からの保護効果は大きい。

しかしオーミック接合は、オーミック電極金属 204〇が深く基板内部まで拡散することが多く、高濃度層の深さ以上にオーミック電極金属 204〇が達すると、基板の半絶縁領域とオーミック電極金属 204〇が接触することになり、このときは逆に保護素子 200 自身が静電破壊しやすくなる。

例えば第 1 N+ 領域 201、第 2 N+ 領域 202ともオーミック接合による金属が設けられ、オーミック接合どうしの距離が  $10 \mu m$  として、オーミック電極金属 204〇が N+ 領域 201、202 の深さ以上に基板の半絶縁領域まで拡散していたとすると、N+ 領域の深さより深い部分ではオーミック接合一絶縁領域一オーミック接合の構造ができており、この構造は静電エネルギーに弱いことがわかっているため、このとき保護素子自身が静電破壊してしまう恐れが出てくる。

従ってオーミック電極金属 204〇がこれら 2 つの N+ 領域の深さ以上に基板の半絶縁領域まで拡散してしまう場合は、ショットキ接合でなければならず、オーミック電極金属 204〇が N+ 領域の深さにまで達しない場合はオーミック接合の方が保護効果が大きい。

また、第 4 図 (B) の如く、保護素子 200 の 2 端子が共に同じ金属電極構造である必要はなく、第 1 および第 2 N+ 型領域が、それぞれ単独に、第 3 図および第 4 図に示す構造を有していても良い。更に一方の端子は金属電極 204 を有し、他方の端子は金属電極 204 を設けなくても良いが、抵抗分を小さくするためできるだけ設けた方が良く、その分、保護効果が増す。

尚、これら金属電極 204 は、ボンディングパッドの一部またはボンディングパッドに接続する配線の一部であっても良く、後に詳述するがこれらを利用することで、保護素子 200 を接続することによるチップ面積の増大を防ぐことができる。

再度第1図を参照して、上記の保護素子200をMESFET100の弱い接合間に並列に接続する一例を示す。

第1図(A)の保護素子のB-B線断面図は、第3図(A)と同様である。このように、本明細書において保護素子200の接続とは、被保護素子100が形成される半絶縁性基板101表面に、 $4\mu m$ の離間距離をもって第1N+型領域201、および第2のN+型領域202を注入・拡散により形成し、第1N+型領域201をFETの1つの端子と接続し、第2のN+型領域202をFETの他の端子と接続することをいい、被保護素子であるMESFET100と保護素子200は同一チップに集積化される。尚、基板表面が半絶縁性でない場合は、不純物イオン注入による絶縁化領域203bが両N+型領域201、202の間に形成される。

また、本明細書においては説明の便宜上、FETの1つの端子であるゲート端子Gに接続する保護素子200の端子を第1N+型領域201とし、他の端子となるソース端子Sおよびドレイン端子Dに接続する保護素子200の端子を第2N+型領域202として説明する。つまり、第1図では、FET100に接続する保護素子200が2つあり、それぞれの第1N+型領域201が金属電極204を介してゲートパッドGPに接続し、第2N+型領域202が金属電極204を介してドレインパッドDPおよびソースパッドSPに接続する。金属電極204と第1および第2N+型領域201、202はショットキ接合を形成し、金属電極204の一部は半絶縁基板101に延在され基板表面とショットキ接合を形成する。尚金属電極204の構造は、一例であり第3図および第4図のいずれであってもよい。

すなわち、この保護素子200は、各パッドに接続する配線120を介して1つの端子となる第1N+型領域201をゲートパッドGPに、もう1つの端子となる第2N+型領域202をソースパッドSPおよびドレインパッドDPに接続しており、FETの接合であるゲート端子G—ソース端子S間およびゲート端子G—ドレイン端子D間に並列に接続されている。

これにより、ゲート端子 G—ソース端子 S 間およびゲート端子 G—ドレイン端子 D 間に印加された静電エネルギーを、保護素子 200 により一部放電させることができる。つまり、静電破壊強度が最も弱い FET 動作領域上のゲートショットキ接合に至る静電エネルギーを大きく減衰させ、FET を静電破壊から保護することができる。放電させるのはゲート端子 G—ソース端子 S 間、およびゲート端子 G—ドレイン端子 D 間である。またどちらか一方でもよい。つまり、この構造により、保護素子を用いない従来構造と比較して、FET の静電破壊電圧を大幅に向上させることができる。

従来では、ゲート端子 G—ソース端子 S 間およびゲート端子 G—ドレイン端子 D 間に印加された静電エネルギーは、動作領域 108 に 100% 伝わっていたが、本発明によれば、各配線またはボンディングパッドを利用して、静電エネルギーを一部保護素子 200 にバイパスさせ、保護素子 200 内部で放電させることができる。これにより動作領域 108 に伝わる静電エネルギーを、動作領域 108 のゲート電極—ソース電極間およびゲート電極—ドレイン電極間の静電破壊電圧を越えない程度に減衰することができる。

第 5 図には、保護素子の 1 つの端子の金属電極にボンディングパッドを利用した例を示す。第 5 図 (A) は平面図であり、第 5 図 (B) は、C—C 線断面図である。

第 1 図では、ソースパッド SP およびドレインパッド DP から配線 120 を引き出し、その配線 120 に保護素子 200 を接続した例を示した。第 5 図では、ソースパッド SP およびドレインパッド DP 周辺に、各ボンディングパッド最下層のショットキ金属層 210 とショットキ接合を形成する第 2N+ 型領域 202 を設けて、ソースパッド SP、ドレインパッド DP の一部を第 2N+ 型領域 202 に接続する金属電極 204 として利用する構造である。

第 1N+ 型領域 201 は、第 2N+ 型領域 202 と近接するように配置され、ゲートパッド GP に接続する配線 120 と接続させる。このように、FET の他の端子と接続するソースパッド SP、ドレインパッド DP に直接第 2N+ 型領域

202を接続し、各パッドに近接して保護素子200を配置すると、ソース、ドレインパッドSP、DPから直接保護素子200に静電エネルギーを放電できるため静電破壊電圧を向上させる効果が大きく、更にパッド周辺のスペースを有効利用できるため、保護素子200を追加することによるチップ面積の増大を防ぐことができる。

また図示はしないが、ゲートパッドGPに直接第1N+領域201を接続し、更に第2N+型領域202は第1N+型領域201と近接するように配置し、且つソースパッドSP、ドレインパッドDPに接続する配線120と接続させると、ゲートパッドから直接保護素子200に静電エネルギーを放電でき、同様に静電破壊電圧を向上させる効果が大きく、保護素子200の追加によるチップ面積の増大も防げる。

第6図は、信号経路途中に保護素子200を接続したものである。上述の如くゲート電極105のショットキ接合が最も静電破壊に弱く、実際に破壊するのは動作領域108のゲート電極105部分が最も多い。そこで、第6図の如くゲートパッドGPから動作領域108のゲート電極105に至る信号経路途中に保護素子200を接続することで、最も効果的に静電破壊から保護することができる。

この場合、第1N+型領域201は、ゲートパッドGPから動作領域108に至るゲート配線112の一部に接続する。第2N+型領域202は、ソースパッドSPおよびドレインパッドDPまたは各パッドに接続する配線120と接続する。例えば第6図のゲート～ソース間では、第2N+型領域202を第1N+型領域201と近接して配置するため、第2N+型領域202の部分までソースパッドSPから配線120が延在される。

例えば、ゲート配線112をソースパッドSPまたはドレインパッドDPに近接するように引き回して動作領域108に接続すれば、信号経路途中で、しかもFETのパッドに近接して保護素子200を接続することができ、静電エネルギーからの保護により効果的である。

ここで、第7図を用いてFET100と同一基板に集積化される保護素子20

0の種類について説明する。上述のFET100の動作領域108は、以下の構造のいずれでも良い。第7図(A)から第7図(D)の各図において、左図がFETの動作領域108であり、右図が同一基板に集積化される保護素子200である。

まず第7図(A)の如く、半絶縁性基板101にイオン注入により例えばN型の動作層102を設け、その両端にN+型のソース領域103およびドレイン領域104を形成して動作領域108とする。更にソース領域103、ドレイン領域104の上にオーミック電極としてソース電極106、ドレイン電極107を設け、N型の動作層102にショットキ接合するゲート電極105を設けたMOSFETである。この場合保護素子200の2端子201、202は、動作領域108のソース領域103およびドレイン領域104と同時に形成すると工程を簡素化できるため好ましく、半絶縁性基板101上に4μm離間して配置する。保護素子は、第1N+型領域201—半絶縁領域203a—第2N+型領域202の構造である。この場合の保護素子200はゲートショットキ接合を静電破壊から保護する。

第7図(B)のFETは、半絶縁性基板101にイオン注入により例えばN型の動作層102を設け、その両端にN+型のソース領域103およびドレイン領域104を形成して動作領域108とする。ソース領域103、ドレイン領域104の上にオーミック電極としてソース電極106、ドレイン電極107を設け、N型の動作層102内に形成したP+型のゲート領域109にオーミック接合するゲート電極105を設けた接合型FETである。この場合、保護素子200の2端子201、202は、動作領域108のソース領域103およびドレイン領域104と同時に形成すると工程を簡素化できるため好ましく、半絶縁性基板101上に4μm離間して配置する。保護素子200は、第1N+型領域201—半絶縁領域203a—第2N+型領域202の構造である。この場合、保護素子はゲートPN接合を静電破壊から保護する。

第7図(C)のFETの動作層102は、半絶縁性基板101上に例えばN型

エピタキシャル層を積層した動作層 102 であり、その両側にN+型不純物を注入してソース領域 103 およびドレイン領域 104 を形成する。ソース領域 103 、ドレイン領域 104 の上にオーミック電極としてソース電極 106 、ドレイン電極 107 を設け、N型の動作層 102 にショットキ接合するゲート電極 105 を設けたM E S F E T である。隣接する他の素子とは不純物注入による絶縁化層 125 で分離する。この場合、同一チップに集積化される保護素子 200 表面もN型エピタキシャル層であるので、第1および第2N+型領域の間は、不純物注入層による絶縁化領域 203b とする。両端子の外側も絶縁のため同じく不純物注入による絶縁化層 125 で分離する。保護素子の絶縁化領域 203b と素子分離の絶縁化層 125 は同一工程により形成するとよい。又、第1および第2N+型領域 201 、 202 は動作領域 108 のソースおよびドレイン領域と同時に形成すると良い。保護素子は、第1N+型領域 201 - 絶縁領域 203b - 第2N+型領域 202 の構造である。この場合、保護素子はゲートショットキ接合を静電破壊から保護する。

図示はしないが、上記N型エピタキシャルの動作層内にP+型のゲート領域を形成し、そこにオーミック接合するゲート電極を設けた接合型F E T も、第7図(B)と同様に考えられる。この場合、保護素子はゲートP N接合を静電破壊から保護する。

更に第7図(D)の如く、M E S F E T 、接合型F E T に限らず、H E M T (H i g h E l e c t r o n M o b i l i t y T r a n s i s t o r ) でも良い。

すなわち、半絶縁性基板 101 に、N++AlGaAs層 101a 、ノンドープInGaAs層 101b 、N++AlGaAs層 101c を順次積層した構造である。複数の層からなる動作層 102 の両端に設けられたN+型のイオン注入によるソース領域 103 およびドレイン領域 104 の上に、オーミック電極としてソース電極 106 、ドレイン電極 107 を設け、動作層表面にショットキ接合するゲート電極 105 を設ける。隣接する他の素子とは不純物注入による絶縁化

層 125 により絶縁される。また、第7図 (D) 右図の如く、同一チップに集積化される保護素子 200 表面も同様の基板構造であるので、保護素子は、ソース領域 103 およびドレイン領域 104 と同時に形成した第1および第2N+型領域の間に絶縁化領域 203b を設けた構造である。更に両端子の外側も絶縁のため同じく不純物注入による絶縁化層 125 で分離する。保護素子の絶縁化領域 203b と素子分離の絶縁領域 125 は同一工程にて形成するとよい。また、第1および第2N+型領域は動作領域 108 のソースおよびドレイン領域と同時に形成すると良い。この場合、保護素子はゲートショットキ接合を静電破壊から保護する。

ここで、FETではゲートショットキ接合、及びゲートPN接合が最も静電破壊に弱いため、ゲート端子G—ソース端子S間、ゲート端子G—ドレイン端子D間に保護素子を接続する一例を示したが、ソース端子S—ドレイン端子D間に保護素子を並列に接続してもよい。

第8図には、その概念図を示す。接続例は一例である。例えばこの場合、ソースパッドSPに接続する保護素子の端子を第2N+型領域 202 とし、ドレインパッドDPに接続する保護素子 200 の端子を第1N+型領域 201 とする。第2N+型領域は、パッド周辺に設けられ、ソースパッドSPを金属電極 204 として利用している。

この等価回路図は第8図 (B) である。この場合、ゲート端子G—ソース端子S間のショットキバリアダイオードとゲート端子G—ドレイン端子D間のショットキバリアダイオードが直列に接続したものを保護している。これは、例えばスイッチ回路装置のようにソース電極とドレイン電極が両方とも入出力端子として信号の出入り口になっている場合などに、この保護素子の接続は効果がある。

一般に GaAs MESFET は衛星放送、携帯電話、無線ブロードバンド用など、GHz 帯以上のマイクロ波用途に用いられる。従って良好なマイクロ波特性を確保するため、ゲート長もサブミクロンオーダーとなっており、ゲートショットキ接合容量が極めて小さく設計されている。そのため静電破壊に非常に弱く、

GaAsMESFETを集積化したMMICを含め、その取り扱いに細心の注意が必要であった。さらに、音響、映像、電源用など周波数の低い一般民生用半導体において、静電破壊電圧を上げるために広く採用されている保護ダイオードは、PN接合を有するため、その使用により寄生容量が最小でも数百fF以上と大きく増加してしまうため、GaAsMESFETのマイクロ波特性を大きく劣化させ、使用できなかった。

しかし本発明の静電破壊保護素子200はPN接合がなく、容量は大きくても数十fF以下となるため、GaAsMESFETのマイクロ波特性を全く劣化させることなく、静電破壊電圧を大きく向上させることができるものである。

次に、第9図および第10図を参照して、本発明の第2の実施形態について説明する。

第2の実施形態は、上記の保護素子200を接続したFETを用いたスイッチ回路装置の一例である。

第9図は、被保護素子となる化合物半導体スイッチ回路装置100を示す回路図である。第1のFET1と第2のFET2のソース電極（あるいはドレイン電極）が共通入力端子INに接続され、FET1およびFET2のゲート電極がそれぞれ抵抗R1、R2を介して第2と第1の制御端子Ct1-1、Ct1-2に接続され、そしてFET1およびFET2のドレイン電極（あるいはソース電極）が第1と第2の出力端子OUT1、OUT2に接続されたものである。第1と第2の制御端子Ct1-1、Ct1-2に印加される制御信号は相補信号であり、Hレベルの信号が印加された側のFETがONして、共通入力端子INに印加された入力信号をどちらか一方の出力端子に伝達するようになっている。抵抗R1、R2は、交流接地となる制御端子Ct1-1、Ct1-2の直流電位に対してゲート電極を介して高周波信号が漏出することを防止する目的で配置されている。

第9図に示す回路は、第13図に示すGaAs FETを用いたSPDT (Single Pole Double Throw)と呼ばれる化合物半導体スイッチ回路装置の2つのFETのゲートソース端子およびゲートードレイン端子間に並列に保護素子2

00を接続したものである。制御端子Ct1-1は、FET1のゲート電極に接続し、制御端子Ct1-2はFET2のゲート電極に接続しており、Ct1-1とIN間、およびCt1-2とIN間、Ct1-1とOUT1間およびCt1-2とOUT2間に、それぞれ保護素子200が接続されている。

第10図は、第9図に示すスイッチ回路装置を1チップに集積化した平面図を示す。

GaAs基板101にスイッチを行うFET1およびFET2を中心部に配置し、各FETのゲート電極317に抵抗R1、R2が接続されている。また共通入力端子IN、出力端子OUT1、OUT2、制御端子Ct1-1、Ct1-2に対応するパッドINPad、OUT1Pad、OUT2Pad、Ct1-1Pad、Ct1-2Padが基板の周辺でFET1およびFET2の周囲にそれぞれ設けられている。なお、点線で示した第2層目の配線は各FETのゲート電極317形成時に同時に形成されるゲート金属層(Ti/Pt/Au)320であり、実線で示した第3層目の配線は各素子の接続およびパッドの形成を行うパッド金属層(Ti/Pt/Au)330である。第1層目の基板にオーミックに接触するオーミック金属層(AuGe/Ni/Au)は各FETのソース電極、ドレイン電極および各抵抗両端の取り出し電極を形成するものであり、第10図では、パッド金属層と重なるために図示されていない。

第10図に示したFET1は一点鎖線で囲まれる動作領域312に形成される。下側から伸びる櫛歯状の3本の第3層目のパッド金属層330が出力端子OUT1に接続されるソース電極313(あるいはドレイン電極)であり、この下に第1層目オーミック金属層で形成されるソース電極(あるいはドレイン電極)がある。また上側から伸びる櫛歯状の3本の第3層目のパッド金属層330が共通入力端子INに接続されるドレイン電極315(あるいはソース電極)であり、この下に第1層目のオーミック金属層で形成されるドレイン電極(あるいはソース電極)がある。この両電極は櫛歯をかみ合せた形状に配置され、その間に第2層目のゲート金属層320で形成されるゲート電極317が動作領域312上に

5本の櫛歯形状に配置されている。なお、上側から伸びる真中の櫛歯のドレイン電極315（あるいはソース電極）はFET1とFET2とで共用しており、更に小型化に寄与している。ここで、ゲート幅が $600\mu m$ という意味は各FETの櫛歯状のゲート電極317のゲート幅の総和がそれぞれ $600\mu m$ であることをいっている。

FET1のゲート電極と制御端子Ct1-1は抵抗R1で接続され、FET2のゲート電極と制御端子Ct1-2は抵抗R2で接続されている。抵抗R1および抵抗R2は、基板に設けられたN+型不純物拡散領域である。

前述の如くFETにおいて、最も静電破壊電圧が低いのはゲート端子Gと動作層102とのショットキ接合部分である。つまり、ゲートードレイン端子間、又はゲートーソース端子間に印加された静電エネルギーが、ゲートショットキ接合に到達したとき、到達した静電エネルギーがゲート電極とソース電極間、またはゲート電極とドレイン電極間の静電破壊電圧を上回る場合、ゲートショットキ接合が破壊に至る。

ここで、FET1側とFET2側は対称であり、全く同様であるので、FET1側を例に説明する。第14図に示す従来のスイッチ回路装置においては、共通入力端子IN-制御端子Ct1-1間の静電破壊電圧が140Vと最も低い。つまり、共通入力端子IN-制御端子Ct1-1間に印加された静電エネルギーがFET1のゲート電極317-ドレイン電極315間、又はゲート電極317-ソース電極313間に到達する前に、その到達過程において、静電エネルギーを減衰させれば良い。

静電エネルギーを減衰させる1つの方法として、R1の抵抗値を大きくする方法が考えられるが、R1を大きくし過ぎると、スイッチ回路装置のスイッチング時間が大きくなり過ぎる。そこで、本実施形態においては保護素子200を用いて静電エネルギーを減衰させることとした。

ここで、前述の如く抵抗R1はN+型不純物領域で形成されている。また、各パッドの周辺には、各パッドから高周波信号が漏れないよう、アイソレーション

対策として、第3の高濃度不純物領域であるパッド周辺N+領域350が配置されている。各パッドの一番下のゲート金属層320は第10図(B)の断面図の如くGaAs半絶縁性基板とショットキ接合を形成しており、その周辺N+領域350と各パッドはショットキ接合を形成している。

つまり、抵抗R1を共通入力端子パッドINPadに近接して配置することにより、抵抗R1を構成するN+型領域と近接するパッド周辺N+型領域350の離間距離は4μmとなり、半絶縁性基板101を挟んで保護素子200となる。抵抗R1の一部が第1N+型領域201であり、共通入力端子パッドINPad周辺のN+領域350の一部が第2N+型領域202である。すなわち、共通入力端子IN-制御端子Ctl-1間、つまりFET1のソース-ゲート端子間(又はドレイン-ゲート端子間)に並列に保護素子200を接続したことになる。

また、共通入力端子パッドINPadに近接し、尚且つ信号が印加される制御端子パッドから動作領域に至る経路途中に接続できる。これにより、スイッチ回路装置に印加された静電エネルギーを動作領域到達前に減衰させることができる。

ここで、保護素子200がパッドに添って近接している距離は長い方がより多くの静電エネルギーを減衰させることができるために、10μm以上が望ましい。第10図では、保護素子200は、共通入力端子パッドINPad1辺に添って配置した図を示したが、例えば抵抗R1の配置を変えて、共通入力端子パッドINPadの2辺に添ってL字形状に配置すれば、パッドと近接して配置する保護素子200の長さを稼げるので静電エネルギーの減衰により効果的である。

後に詳述するが、上記の如くスイッチ回路装置の共通入力端子IN-制御端子Ctl-1間および共通入力端子IN-制御端子Ctl-2間に、並列に保護素子200を接続することにより、これらの端子間の静電破壊電圧を700Vまで向上させることができる。

第1の実施形態の如くゲート電極-ゲートパッド間に抵抗が無い場合は、ゲート長0.5μm、ゲート幅600μmのFETであれば、ゲート-ソース間やゲート-ドレイン間の静電破壊電圧を測定すると50V程度以下である。すなわち

FETの動作領域上のゲートショットキ接合そのものの静電破壊電圧の実力値は50V程度以下といえる。

第2の実施形態のFETもゲート長 $0.5\mu m$ 、ゲート幅 $600\mu m$ であり、通常このFETのゲートショットキ接合の静電破壊電圧も50V程度以下である。しかし、スイッチ回路装置には必ず第2の実施形態のようなゲート電極—ゲートパッド（この場合制御端子パッド）間の抵抗R1、R2が存在する。この抵抗R1、R2で、静電エネルギーが一部熱となって消費されるため、スイッチ回路装置として共通入力端子IN—制御端子Ct1—1間（以下共通入力端子IN—制御端子Ct1—2間も同様）の静電破壊電圧を測定すると、保護素子200を接続しなくても多少静電破壊電圧は向上し、100V程度以下となる。

そこにさらに保護素子200を並列に接続すると、静電エネルギーがバイパスされ保護素子200で放電される。つまり、保護素子200により放電される静電エネルギーが更に追加で、共通入力端子IN—制御端子Ct1—1間に印加されても、動作領域312が静電破壊することはなくなり、保護素子200により放電する分だけ、静電破壊電圧の測定値が大きくなり200V以上となる。

換言すれば、共通入力端子IN—制御端子Ct1—1間に印加される静電エネルギーを、抵抗R1で一部熱として消費しながら、さらに保護素子200での放電により消費し、動作領域312に達するまでに、動作領域312の破壊電圧以下まで減衰することができる。

第11図には、第2の実施形態である第10図のスイッチ回路装置の静電破壊耐圧を測定した結果を示す。これによると、共通入力端子IN—制御端子Ct1—1間および共通入力端子IN—制御端子Ct1—2間の静電破壊電圧が700Vとなり、従来の同じ端子間で140Vであったことと比較すると大幅に向っている。

このメカニズムを、FETの動作領域312の静電破壊電圧の実力値が例えば50Vとして説明する。

FETの動作領域312は上述の如く50Vで破壊する。また、従来は、共通

入力端子 I N — 制御端子 C t 1 — 1 間の静電破壊電圧は、第 1 5 図に示す 1 4 0 V である。これは、保護素子 2 0 0 を設げず、共通入力端子 I N — 制御端子 C t 1 — 1 間に印加される静電エネルギーが一部抵抗 R 1 で減衰しながら動作領域 3 1 2 に達する場合の値である。つまり  $1 4 0 - 5 0 = 9 0$  V 分の静電エネルギーが、ゲート電極 3 1 7 — 制御端子パッド C t 1 — 1 P a d 間の抵抗 R 1 で、熱として消費され、F E T の動作領域 3 1 2 に 5 0 V が印加された時点で F E T のショットキ接合が破壊していたことになる。

第 2 の実施形態では、第 1 1 図の如く共通入力端子 I N — 制御端子 C t 1 — 1 間で、静電破壊電圧を測定したとき 7 0 0 V で破壊する。F E T の動作領域 3 1 2 のショットキ接合は 5 0 V で破壊し、ゲート電極 3 1 7 — 制御端子パッド C t 1 — 1 P a d 間の抵抗 R 1 で、熱として消費される静電エネルギーは 9 0 V 分であり、これは従来同様である。

すなわち、 $7 0 0 - 5 0 - 9 0 = 5 6 0$  V 分の静電エネルギーが保護素子 2 0 0 で放電され、これも熱となって消費されたことになる。つまり、第 2 の実施形態のパターンによれば、動作領域 3 1 2 のショットキ接合の静電破壊電圧分 + 抵抗 R 1 での減衰分を越えた分 (5 6 0 V) を保護素子 2 0 0 で放電でき、動作領域 3 1 2 に至るまでに静電エネルギーを減衰できるので、静電破壊電圧が 7 0 0 V まで向上したといえる。

ここで、共通入力端子パッド I N P a d 、制御端子 C t 1 — 1 パッド、C t 1 — 2 パッド、出力端子 O U T 1 パッド、O U T 2 パッドおよび両 F E T の動作領域 3 1 2 を除くゲート電極の周端部の下にも、一点破線で示す如く周辺 N + 型領域 3 5 0 が設けられている。周辺 N + 型領域 3 5 0 は周端部だけでなく、各パッドおよび両 F E T の動作領域を除くゲート電極 3 1 7 直下全面に設けられてもよい。さらに周辺 N + 型領域 3 5 0 は、共通入力端子パッド I N P a d 、制御端子 C t 1 — 1 パッド、C t 1 — 2 パッド、出力端子 O U T 1 パッド、O U T 2 パッドおよび両 F E T の動作領域 3 1 2 を除くゲート電極に隣接してそれらの周辺に設けられ、それらの下には設けられなくても良い。これら周辺 N + 型領域 3 5 0

は、ソースおよびドレイン領域形成と同時に形成されたものであり、これら周辺N+型領域350および抵抗R1、R2が互いに隣接する部分の離間距離は4μmとなっている。

つまり、これらの周辺N+型領域350と抵抗R1、R2とを保護素子200の両端子として、同一チップ内に複数接続することができる。保護素子200の端子は、金属電極を介してボンディングパッドと接続しても良いし、ボンディングパッドと動作領域312とを接続する抵抗R1、R2などの配線そのものであっても良い。

第10図の例えればFET1側では、抵抗R1を、共通入力端子パッドINPadの近傍と、出力端子パッドOUT1Padの近傍を通るように配置している。これにより、FET1のゲートードレイン端子間、ゲートーソース端子間の両方に保護素子200が接続されたことになり、スイッチ回路装置の最低の静電破壊電圧を向上させることができる。

第11図によれば、制御端子Ct1-1ー出力端子OUT1間および制御端子Ct1-2ー出力端子OUT2間の静電破壊電圧は330Vである。静電破壊電圧を決めるメカニズムの詳細はまだ不明の部分が多く、この端子間において静電破壊電圧が従来より低減する理由は明らかでない。しかし、重要なポイントは、被保護素子全体の静電破壊電圧は、当該被保護素子の2端子間の組み合わせのうち、最も低い静電破壊電圧に支配されるため最低の静電破壊電圧値をどこまで上げができるかである。

本実施形態に於いては、従来最も低い静電破壊電圧であった共通入力端子INー制御端子Ct1-1間および共通入力端子INー制御端子Ct1-2間に保護素子を並列に接続することにより、静電破壊電圧を700Vに向上することができる。

加えて、制御端子Ct1-1ー出力端子OUT1間および制御端子Ct1-2ー出力端子OUT2間にも保護素子を接続することにより、従来の最低静電破壊電圧であった140Vが330Vに向上しており、スイッチ回路装置全体として、

静電破壊電圧を向上できる効果がある。

また、第12図に第3の実施形態を示す。第12図は、第10図の化合物半導体スイッチ回路装置のリバースコントロールタイプのロジックパターンの回路構成であり、制御端子C<sub>t1-1</sub>は、FET2のゲート電極に接続し、制御端子C<sub>t1-2</sub>はFET1のゲート電極に接続する。

このスイッチ回路のロジックでは、出力端子OUT1に信号を通すときには出力端子OUT1から遠い制御端子C<sub>t1-2</sub>に例えば3V、制御端子C<sub>t1-1</sub>に0Vを印加し、逆に出力端子OUT2に信号を通すときには出力端子OUT2から遠い制御端子C<sub>t1-1</sub>に3V、C<sub>t1-2</sub>に0Vのバイアス信号を印加している。

このリバースコントロールタイプのスイッチ回路装置においては、入力端子IN-制御端子C<sub>t1-2</sub>間に保護素子200を接続する。これにより、例えば接続前に80Vと最も低い静電破壊電圧であった2端子間の静電破壊電圧を270Vまで向上することができる。

また、図の如く、FET1のゲートードレイン端子間(C<sub>t1-2-IN</sub>間)、FET1のゲートーソース間(C<sub>t1-2-OUT1</sub>間)、FET2のゲートードレイン間(C<sub>t1-1-IN</sub>間)、FET2のゲートーソース間(C<sub>t1-1-OUT2</sub>間)に夫々保護素子200を接続すると、従来80Vであったスイッチ回路装置の最も低い静電破壊電圧を270Vに向上させることができる。

この場合、共通入力端子パッドINPadはFET1、FET2の2つのFETの共通パッドとなっており、各制御端子はそれぞれ遠い位置にあるFETと接続する。このため、一例であるが、その接続手段である抵抗R1、R2は、それぞれ入力端子パッドINPadにL字型で、4辺とも近接して配置される。つまり入力端子パッドINPadに沿って、2つの保護素子200がそれぞれL字形状に接続した構造となっている。

このように、複数の保護素子200がそれぞれ、同一パッドの少なくとも1辺に添って配置されても良い。

上述の実施形態に示す接続例は一例である。パッド同士が近接するような場合は、保護素子の両端子とも、パッドに直接接続するN+領域とすることも可能である。すなわち、請求の範囲の記載によってのみ、規定されるものである。

### 発明の効果

以上に詳述した如く、本発明に依れば以下の数々の効果が得られる。

第1に、静電破壊しやすい、PN接合又は、ショットキ接合を含むFETの特に弱い接合となる端子間に、高濃度領域—絶縁領域—高濃度領域からなる保護素子を並列接続することにより、外部より印加される静電エネルギーをバイパスさせることができる。これによりFETの動作領域に至る経路途中で保護素子により静電エネルギーが放電されるので、保護素子が接続された端子間に応する動作領域上の電極間に至る静電エネルギーが減衰し、静電破壊からFETを保護することができる。

第2に、保護素子は、高濃度領域—絶縁領域—高濃度領域からなり、PN接合を有さないため、保護素子自身の寄生容量が発生しない。被保護素子と同一基板で保護素子を作りこむことができ、寄生容量の増加をほとんど伴わず、従って高周波特性を劣化させずに、被保護素子の静電破壊を防ぐことができる。

第3に被保護素子の端子と接続するパッドに近接して保護素子を接続することにより、静電エネルギーの印加直後に放電することができ、より静電破壊電圧の向上に寄与できる。

第4に、被保護素子の端子と接続するボンディングパッドから動作領域への経路途中に保護素子を接続することにより、最も効果的に、動作領域の静電破壊に弱い接合を静電破壊から保護できる。

第5に、スイッチ回路装置においては、従来最も低い静電破壊電圧であった共通入力端子と制御端子間に保護素子を並列に接続することにより、共通入力端子—制御端子間の静電破壊電圧を大幅に向上することができる。

第6に、スイッチ回路装置において制御端子—出力端子間にも保護素子を接続

することにより、スイッチ回路装置全体の最低静電破壊電圧を向上できる効果がある。

第7に、保護素子は、静電エネルギーを放電する面が、水平面となる保護ダイオードと異なり、垂直面になるため、チップ面積の増大をほとんど招くことなく、これを集積化することができるものである。

#### 図面の簡単な説明

第1図（A）は本発明を説明するための平面図であり、第1図（B）は本発明を説明するための断面図であり、第1図（C）は本発明を説明する等価回路図であり、第2図は本発明を説明するための概略図であり、第3図（A）は本発明を説明するための断面図であり、第3図（B）は本発明を説明するための断面図であり、第3図（C）は本発明を説明するための断面図であり、第3図（D）は本発明を説明するための断面図であり、第4図（A）は本発明を説明するための断面図であり、第4図（B）は本発明を説明するための断面図であり、第5図（A）は本発明を説明するための平面図であり、第5図（B）は本発明を説明する断面図であり、第6図は本発明を説明するための平面図であり、第7図（A）は本発明を説明するための断面図であり、第7図（B）は本発明を説明するための断面図であり、第7図（C）は本発明を説明するための断面図であり、第7図（D）は本発明を説明するための断面図であり、第8図（A）は本発明を説明するための平面図であり、第8図（B）は本発明を説明するための等価回路図であり、第9図は本発明を説明するための等価回路図であり、第10図（A）は本発明を説明するための平面図であり、第10図（B）は本発明を説明する断面図であり、第11図は本発明を説明するための特性図であり、第12図は本発明を説明するための平面図であり、第13図は従来技術を説明するための等価回路図であり、第14図は従来技術を説明するための平面図であり、第15図は従来技術を説明するための特性図である。

## 請求の範囲

1. 基板上に設けた動作領域表面に接続するゲート電極、ソース電極およびドレイン電極と、各電極に接続するゲート端子、ソース端子、ドレイン端子とを有する被保護素子となるFETと、

前記被保護素子のいずれか2つの端子間に並列に接続され、第1の高濃度不純物領域と第2の高濃度不純物領域の2端子間に絶縁領域を配置した保護素子とを有し、

前記被保護素子の2つの端子間に印加される静電エネルギーを前記第1および第2の高濃度不純物領域間で放電させ、前記被保護素子の2つの端子に対応する前記2つの電極に到達する静電エネルギーを前記2つの電極間の静電破壊電圧を超えない程度に減衰させることを特徴とする半導体装置。

2. 前記被保護素子の、静電破壊電圧を前記保護素子の接続前と比較して20V以上向上させることを特徴とする請求の範囲第1項記載の半導体装置。

3. 前記保護素子は、前記被保護素子の端子の少なくとも1つと接続するボンディングパッドと近接して配置することを特徴とする請求の範囲第1項記載の半導体装置。

4. 前記保護素子は、前記被保護素子の1つの端子と接続するボンディングパッドから該被保護素子の動作領域へ向かう経路途中に接続することを特徴とする請求の範囲第1項記載の半導体装置。

5. 1つの前記保護素子は、前記被保護素子の端子と接続するボンディングパッドの少なくとも一辺に沿って配置されることを特徴とする請求の範囲第1項記載の半導体装置。

6. 前記保護素子は複数設けられ、前記被保護素子の端子と接続する1つのボンディングパッドの少なくとも一辺に沿ってそれぞれ配置されることを特徴とする請求の範囲第1項記載の半導体装置。

7. 前記第1の高濃度不純物領域は、被保護素子の1つの端子と接続する

ボンディングパッドまたはボンディングパッドに接続する配線と接続することを特徴とする請求の範囲第1項記載の半導体装置。

8. 前記第1の高濃度不純物領域は、前記被保護素子の1つの端子と接続するボンディングパッドと前記動作領域の1つの電極とを接続する接続手段の一部であることを特徴とする請求の範囲第1項記載の半導体装置。

9. 前記第2の高濃度不純物領域は、前記被保護素子の端子と接続するボンディングパッド又は該ボンディングパッドに接続する配線と接続することを特徴とする請求の範囲第1項記載の半導体装置。

10. 前記第2の高濃度不純物領域は、前記被保護素子の端子と接続するボンディングパッド又は該ボンディングパッドに接続する配線の、周辺に設けられた第3の高濃度不純物領域の一部であることを特徴とする請求の範囲第1項記載の半導体装置。

11. 前記保護素子は、前記被保護素子の端子と接続するボンディングパッドにそれぞれ近接して複数設けられ、前記複数の保護素子の第1の高濃度不純物領域は、被保護素子の端子と動作領域とを接続する接続手段の一部であることを特徴とする請求の範囲第1項記載の半導体装置。

12. 基板上の動作領域表面に接続するソース電極、ゲート電極およびドレイン電極を設けた第1および第2のFETを形成し、両FETに共通のソース電極あるいはドレイン電極に接続する端子を共通入力端子とし、両FETのドレイン電極あるいはソース電極に接続する端子をそれぞれ第1および第2の出力端子とし、両FETのゲート電極のいずれかに接続する端子をそれぞれ第1および第2の制御端子とし、前記両制御端子に制御信号を印加して、前記両制御端子と前記ゲート電極とを接続する接続手段である抵抗を介していずれか一方のFETを導通させて前記共通入力端子と前記第1および第2の出力端子のいずれか一方と信号経路を形成するスイッチ回路装置を被保護素子とし、

前記被保護素子の少なくとも1つの前記制御端子と前記入力端子間に並列に接続され、第1の高濃度不純物領域と第2の高濃度不純物領域の間に絶縁領域を配

置した保護素子とを有し、

前記少なくとも1つの制御端子と前記共通入力端子間に、外部より印加される静電エネルギーを前記第1および第2の高濃度不純物領域間で放電させ、前記少なくとも1つの制御端子および共通入力端子にそれぞれ対応する電極間に到達する静電エネルギーを前記電極間の静電破壊電圧を超えない程度に減衰させることを特徴とする半導体装置。

13. 前記共通入力端子と前記1つの制御端子間の静電破壊電圧を前記保護素子の接続前と比較して20V以上向上させることを特徴とする請求の範囲第12項記載の半導体装置。

14. 前記被保護素子の少なくとも1つの前記制御端子と少なくとも1つの前記出力端子間に並列に前記保護素子を接続し、前記被保護素子の静電破壊電圧を前記保護素子の接続前と比較して20V以上向上させることを特徴とする請求の範囲第12項記載の半導体装置。

15. 前記保護素子は、少なくとも前記共通入力端子と近接して配置することを特徴とする請求の範囲第12項記載の半導体装置。

16. 前記保護素子は、前記少なくとも1つの制御端子と接続するボンディングパッドから前記ゲート電極へ向かう経路途中に接続することを特徴とする請求の範囲第12項記載の半導体装置。

17. 前記保護素子は、前記共通入力端子が接続するボンディングパッドの少なくとも一辺に沿って配置されることを特徴とする請求の範囲第12項記載の半導体装置。

18. 前記保護素子は、前記少なくとも1つの出力端子が接続するボンディングパッドの少なくとも一辺に沿って配置されることを特徴とする請求の範囲第12項記載の半導体装置。

19. 前記保護素子は複数設けられ、前記共通入力端子が接続するボンディングパッドの少なくとも一辺に沿ってそれぞれ配置されることを特徴とする請求の範囲第12項記載の半導体装置。

20. 前記第1の高濃度不純物領域は、前記少なくとも1つの制御端子が接続するボンディングパッドまたはボンディングパッドに接続する配線と接続することを特徴とする請求の範囲第12項記載の半導体装置。

21. 前記第1の高濃度不純物領域は、前記少なくとも1つの制御端子が接続するボンディングパッドと前記ゲート電極とを接続する抵抗の一部であることを特徴とする請求の範囲第12項記載の半導体装置。

22. 前記第2の高濃度不純物領域は、前記共通入力端子が接続するボンディングパッド又はボンディングパッドに接続する配線と接続することを特徴とする請求の範囲第12項記載の半導体装置。

23. 前記第2の高濃度不純物領域は、前記共通入力端子のボンディングパッド又はボンディングパッドに接続する配線の、周辺に設けられた第3の高濃度不純物領域の一部であることを特徴とする請求の範囲第12項記載の半導体装置。

24. 前記保護素子は、前記共通入力端子が接続するボンディングパッドおよび少なくとも1つの前記出力端子が接続するボンディングパッドにそれぞれ近接して複数設けられ、前記複数の保護素子の第1の高濃度不純物領域は、前記少なくとも1つの制御端子と前記ゲート電極を接続する抵抗の一部であることを特徴とする請求の範囲第12項記載の半導体装置。

25. 前記被保護素子の静電破壊電圧を200V以上にすることを特徴とする請求の範囲第1項または請求の範囲第12項記載の半導体装置。

26. 前記保護素子の第1および第2の高濃度不純物領域は静電エネルギーを通すことのできる距離で離間することを特徴とする請求の範囲第1項または請求の範囲第12項記載の半導体装置。

27. 前記第1および第2の高濃度不純物領域は同じ導電型の不純物領域であることを特徴とする請求の範囲第1項または請求の範囲第12項記載の半導体装置。

28. 前記第1および第2の高濃度不純物領域は異なる導電型の不純物領

域であることを特徴とする請求の範囲第1項または請求の範囲第12項記載の半導体装置。

29. 前記第1および第2の高濃度不純物領域はともに前記ソース電極およびドレイン電極がコンタクトするソース領域およびドレイン領域と同程度の不純物濃度を有することを特徴とする請求の範囲第1項または請求の範囲第12項に記載の半導体装置。

30. 前記絶縁領域は基板に設けられた不純物注入領域であることを特徴とする請求の範囲第1項または請求の範囲第12項記載の半導体装置。

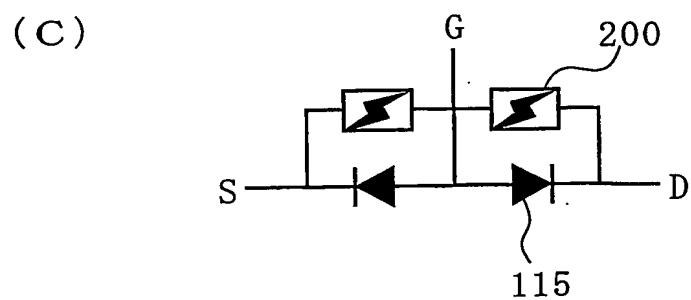
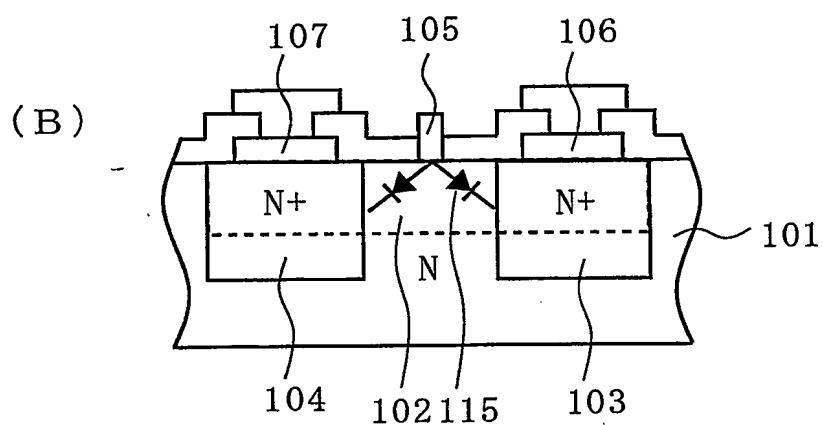
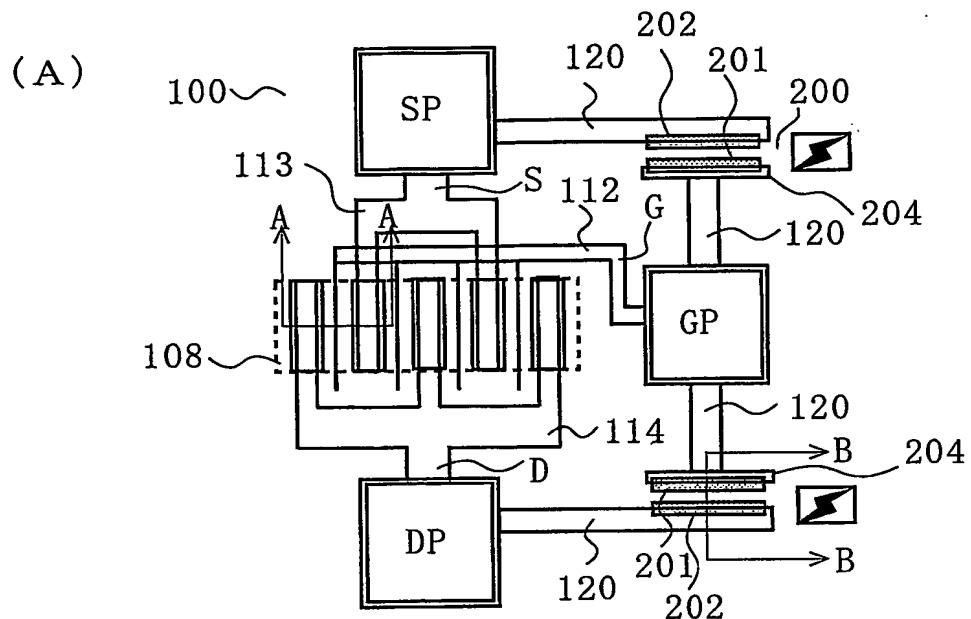
31. 前記絶縁領域は半絶縁基板の一部であることを特徴とする請求の範囲第1項または請求の範囲第12項記載の半導体装置。

32. 前記第1および第2の高濃度不純物領域の少なくとも一方は、金属電極と接続し、該金属電極は、前記被保護素子の端子と接続するボンディングパッドまたは該ボンディングパッドに接続する配線と接続することを特徴とする請求の範囲第1項または請求の範囲第12項記載の半導体装置。

33. 前記金属電極は第1および/または第2の高濃度不純物領域端部から $0 \mu m$ から $5 \mu m$ 外側で前記基板表面とショットキ接合を形成することを特徴とする請求の範囲第32項記載の半導体装置。

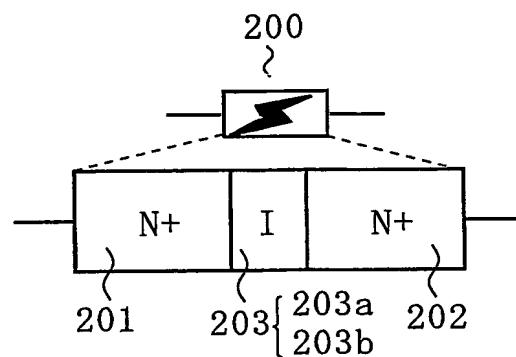
34. 前記FETは、MESFET、接合型FETまたはHEMTであることを特徴とする請求の範囲第1項または請求の範囲第12項記載の半導体装置。

## 第1図

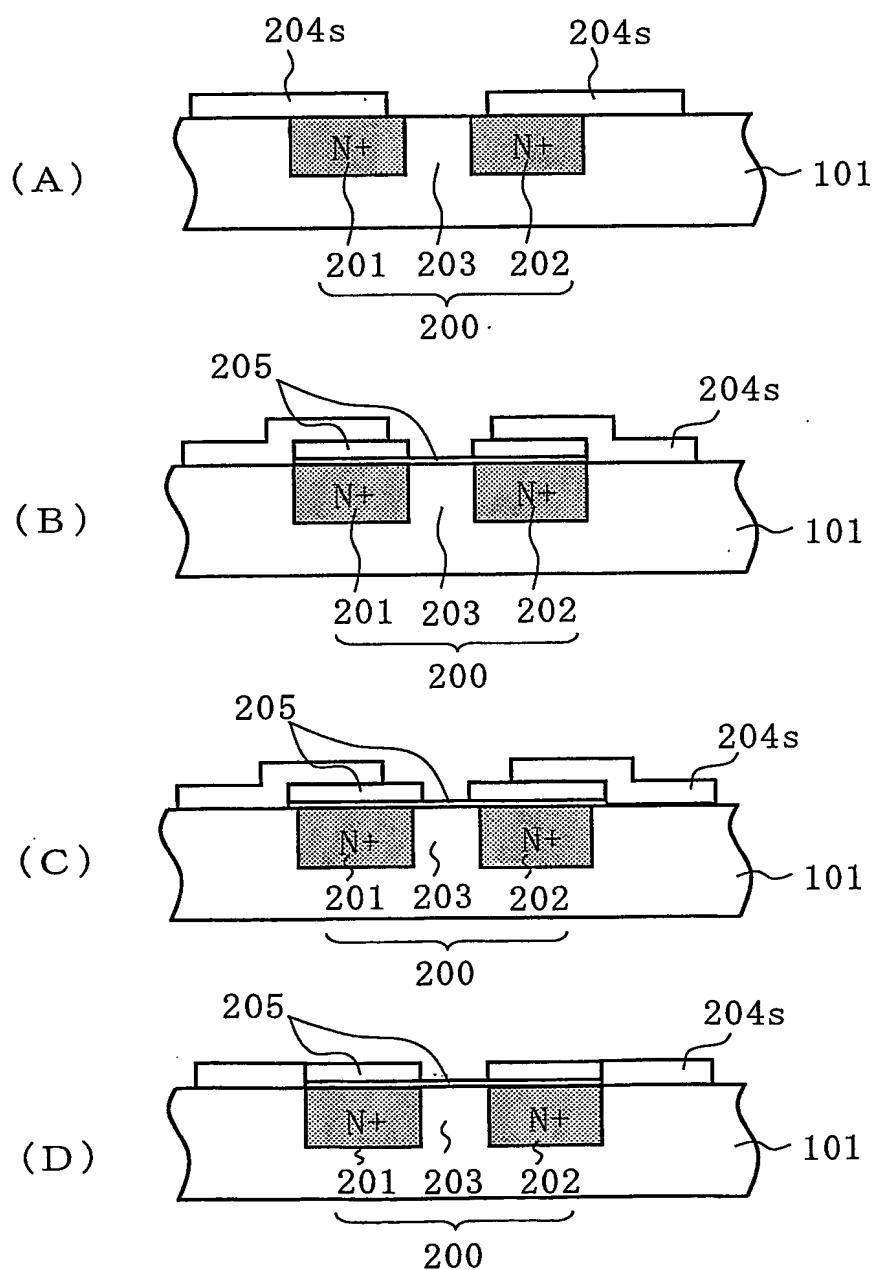


第2図

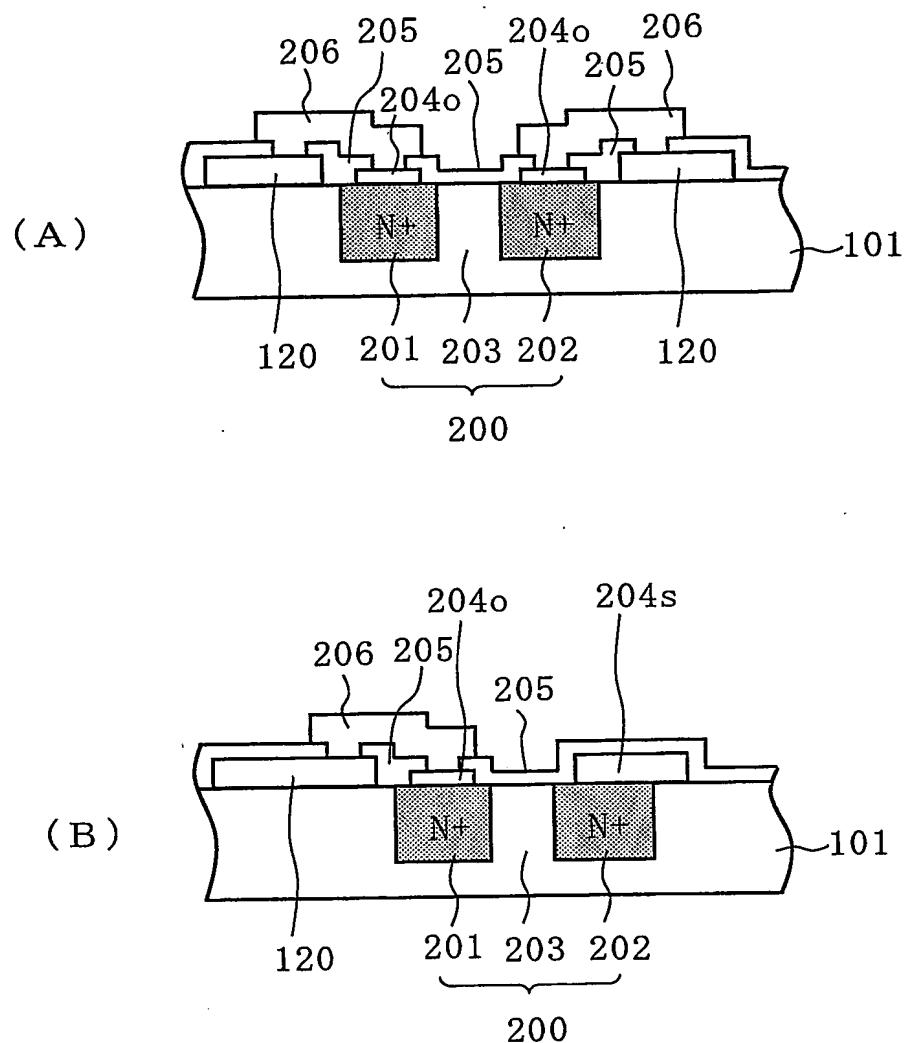
2/13



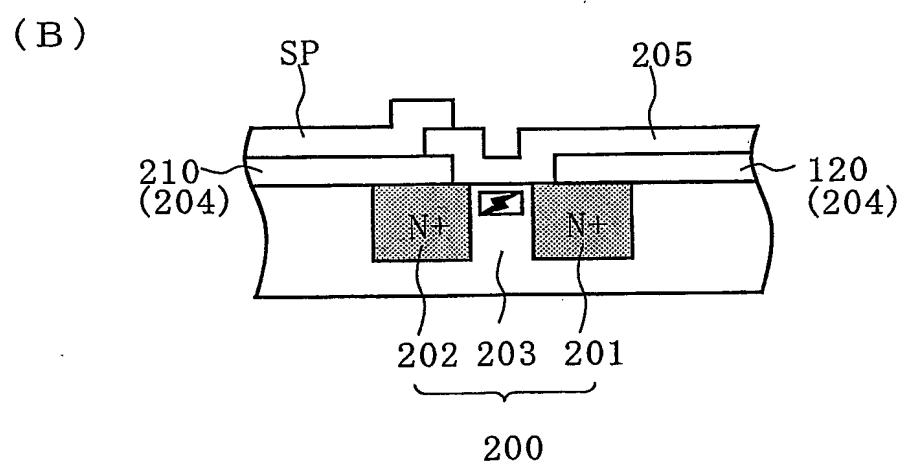
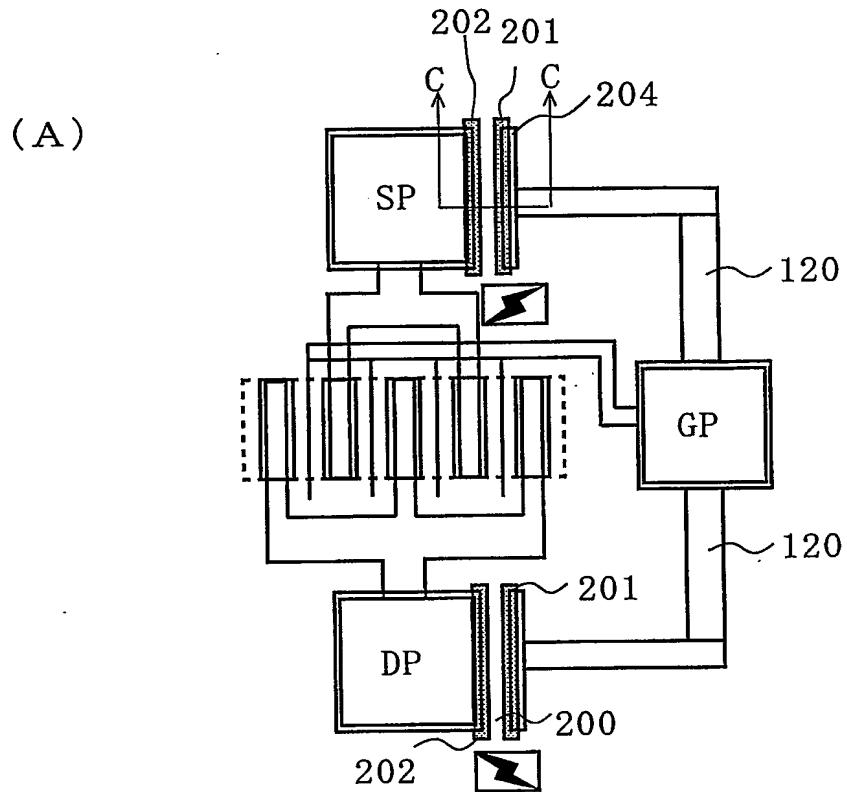
第3図



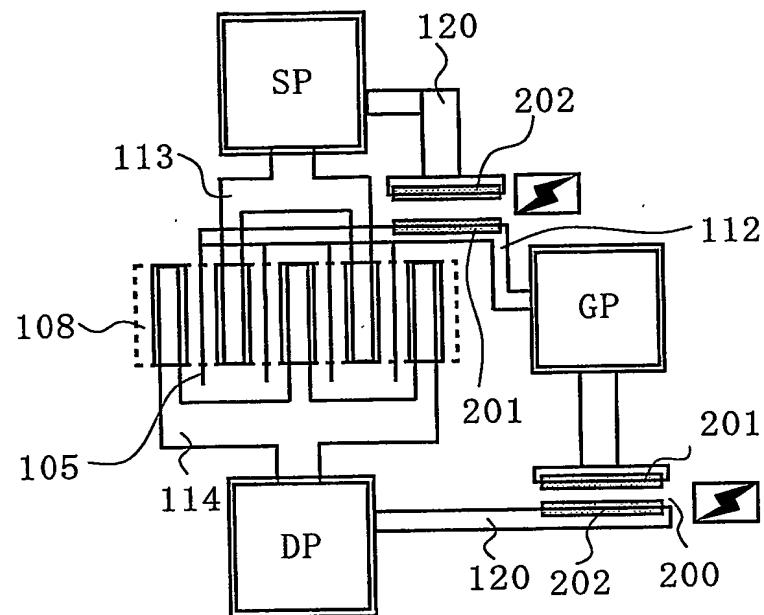
第4図



第5図

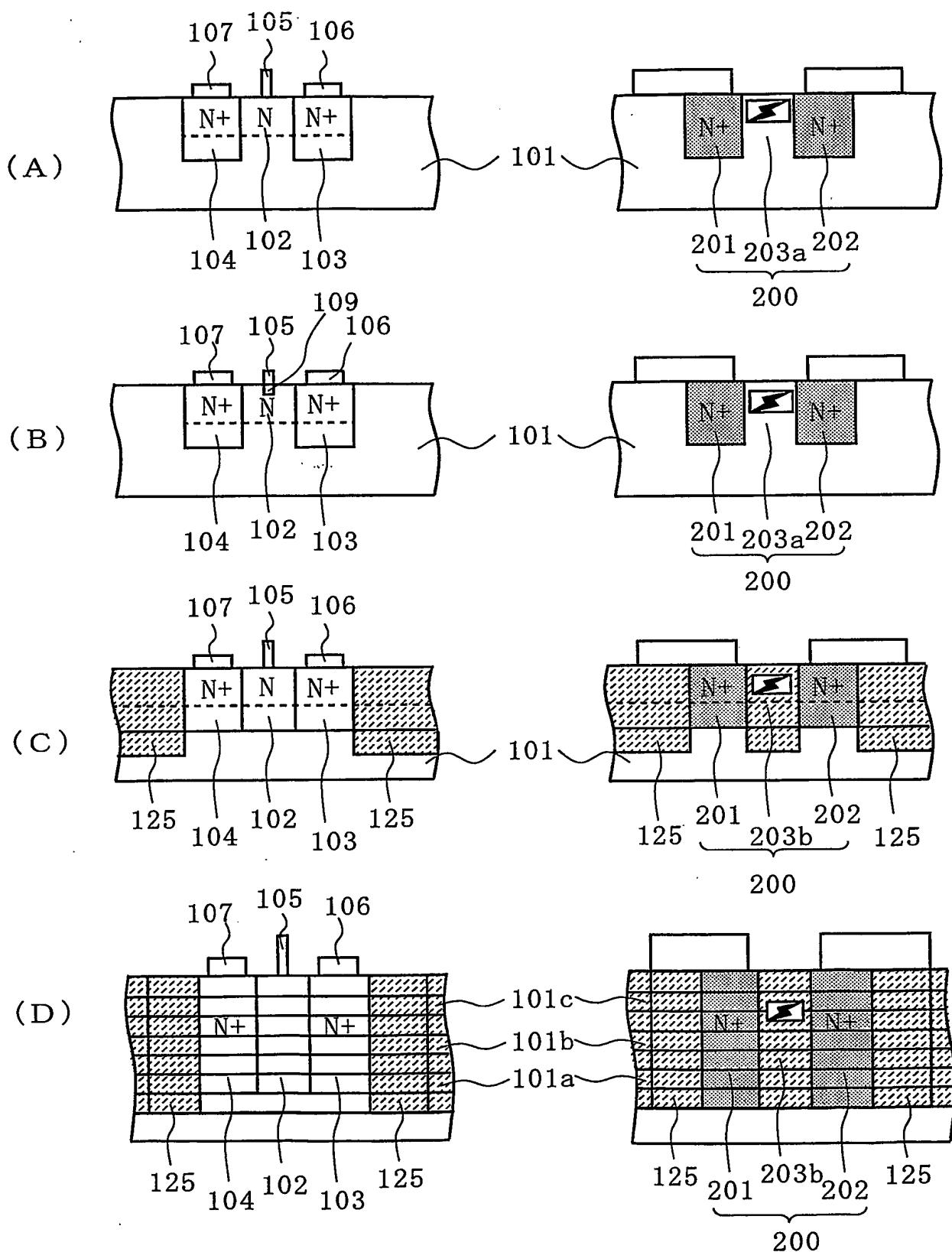


第 6 図

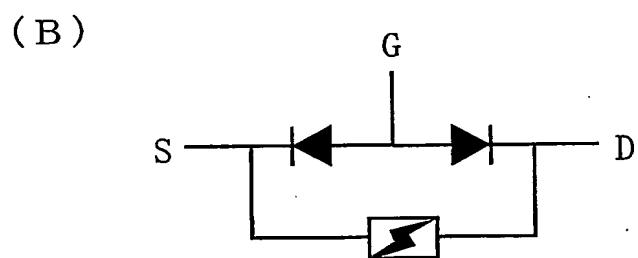
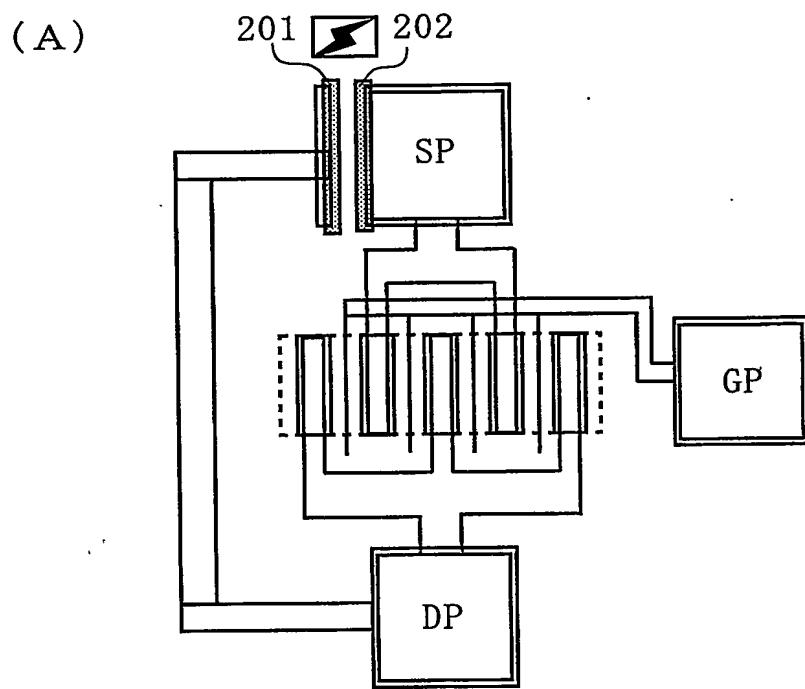


第7図

6/13

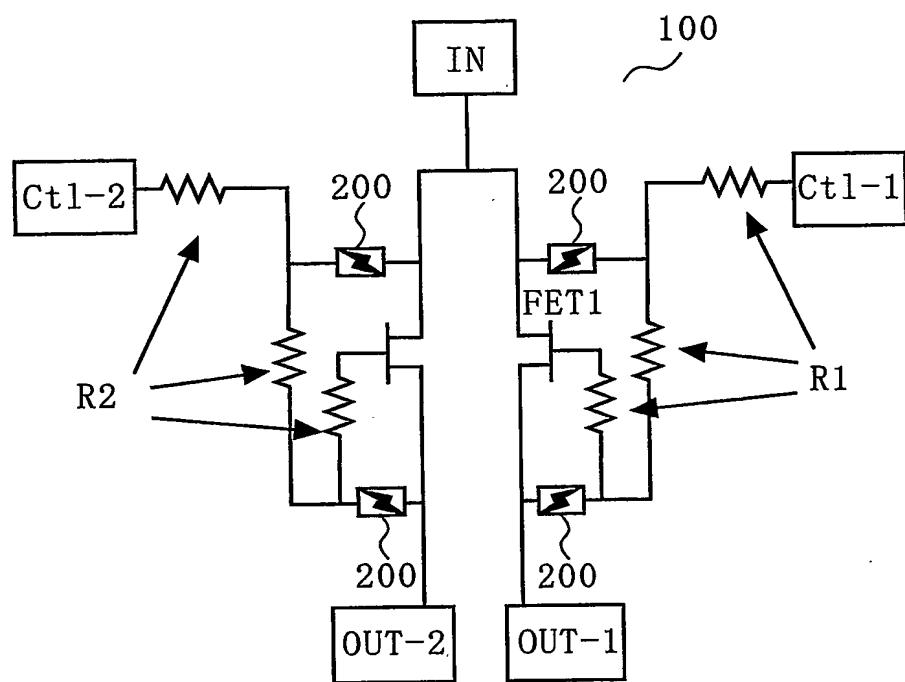


## 第8図



8/13

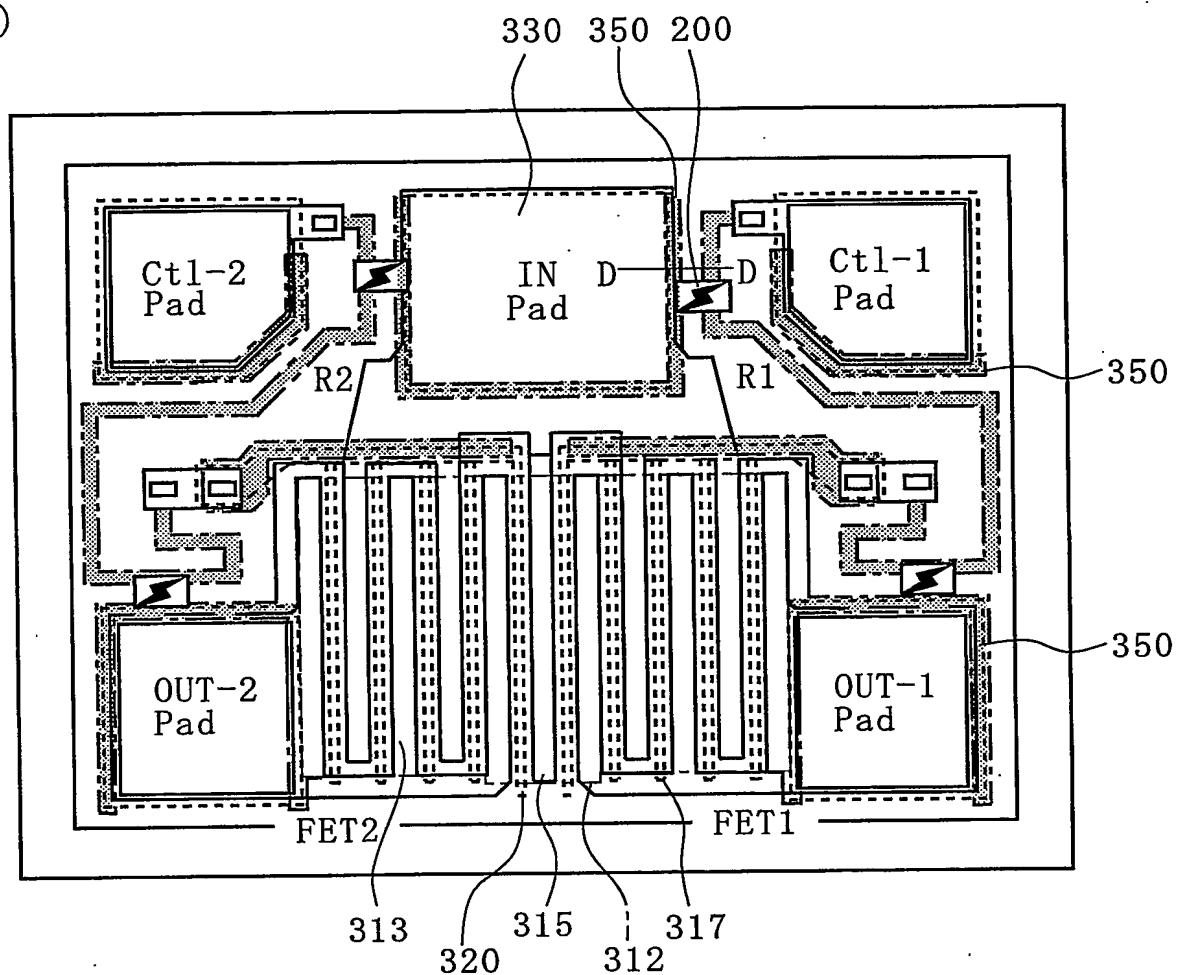
第9図



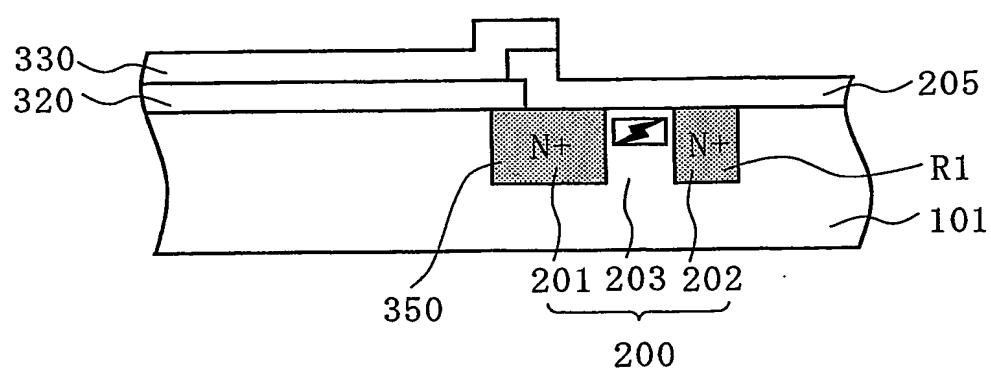
第10図

9/13

(A)



(B)



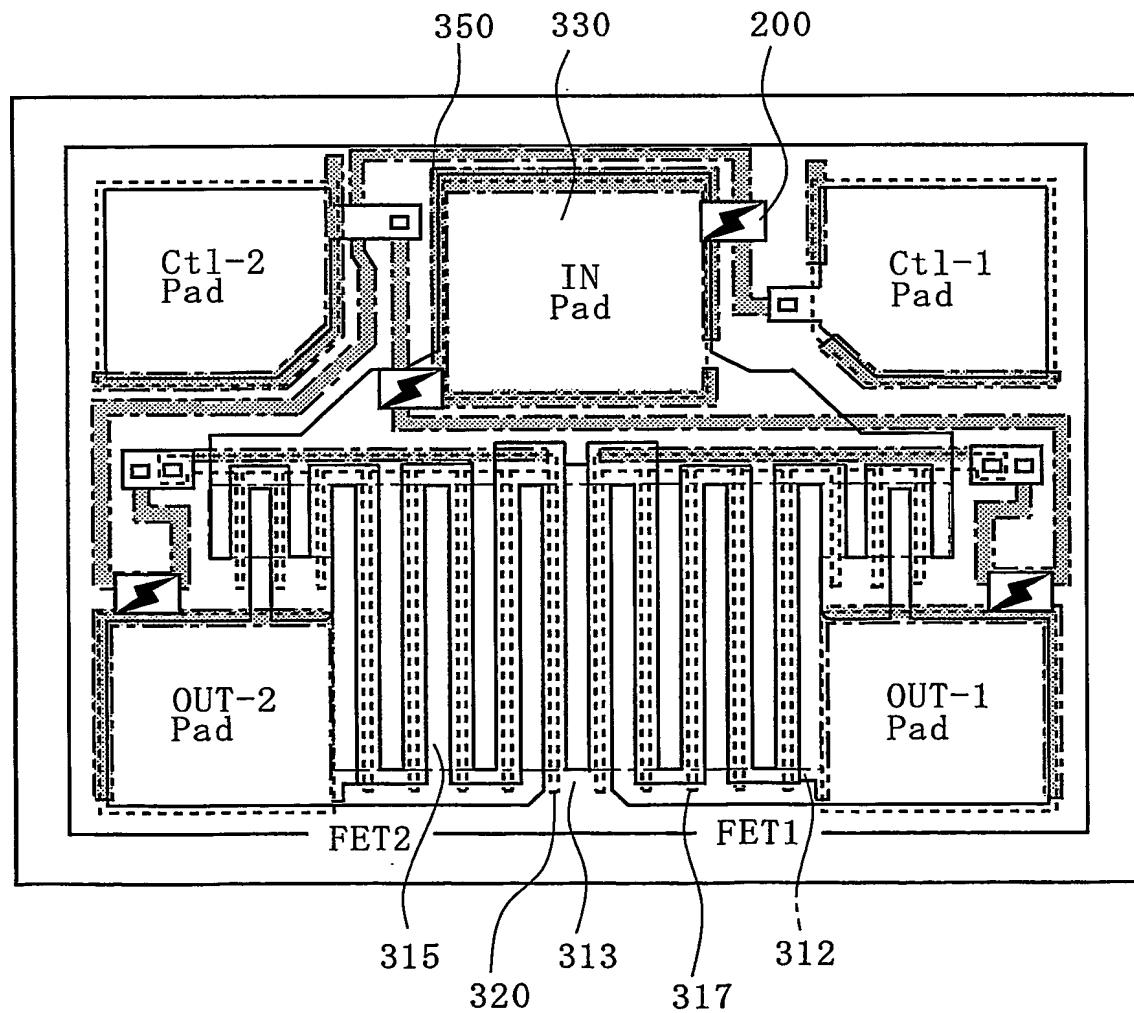
10/13

第11図

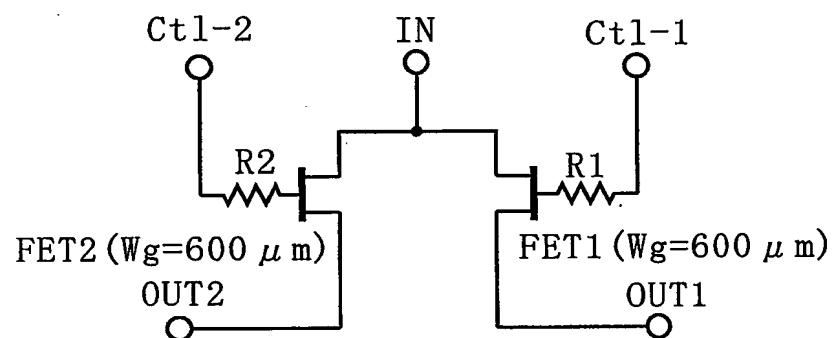
各端子間の静電耐量(単位V)

IN-Ctl-1	700
IN-Ctl-2	700
OUT1-Ctl-1	330
OUT2-Ctl-2	330

第12図

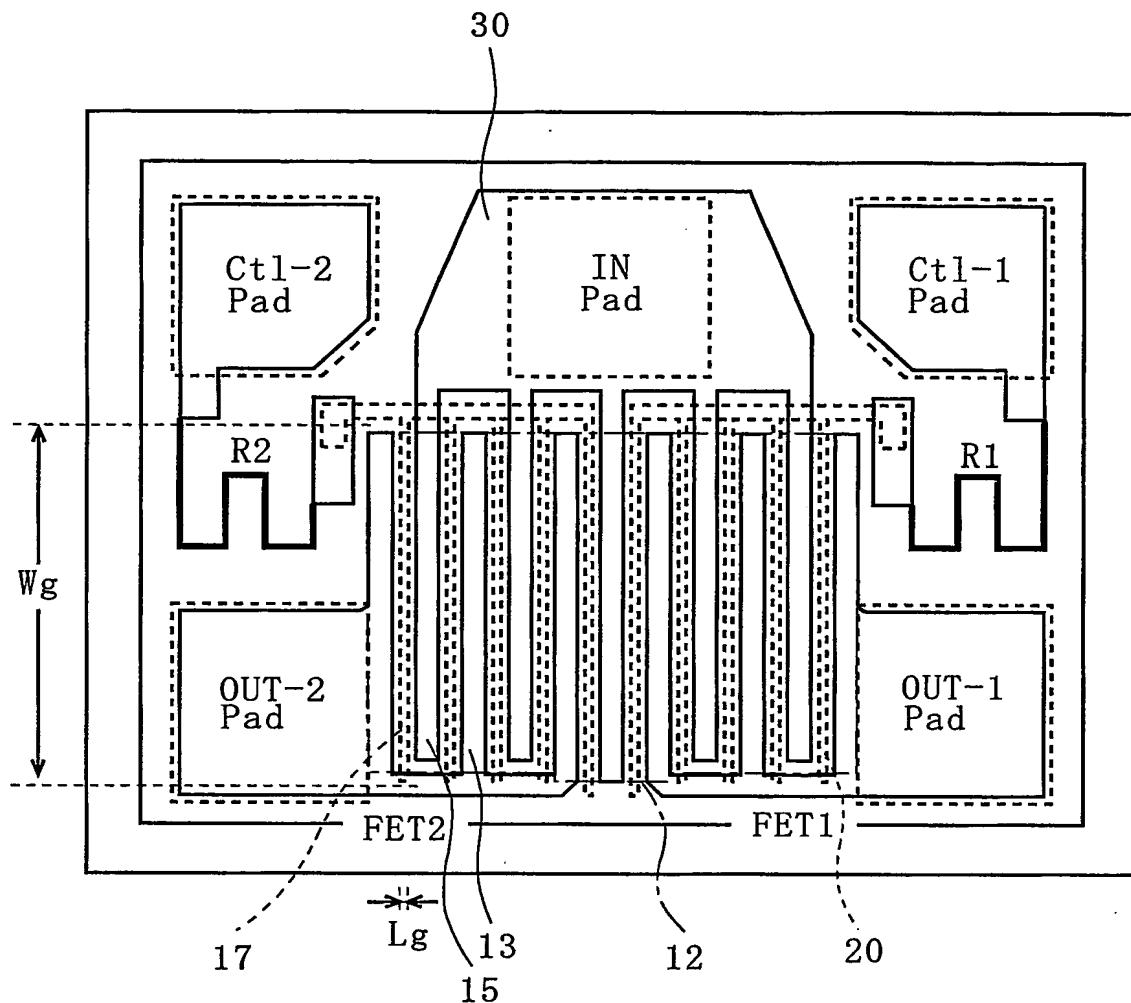


第 1 3 図



12/13

第14図



第15図

各端子間の静電耐量(単位V)

IN-Ctl-1	140
IN-Ctl-2	140
OUT1-Ctl-1	500
OUT2-Ctl-2	450

100	被保護素子	312	動作領域
101	基板	313	ソース電極
102	動作層	315	ドレイン電極
103	ソース領域	317	ゲート電極
104	ドレイン領域	320	ゲート金属層
105	ゲート電極	330	パッド金属層
106	ソース電極	350	周辺N+型領域
107	ドレイン電極	S	ソース端子
112	ゲート配線	D	ドレイン端子
113	ソース配線	G	ゲート端子
114	ドレイン配線	SP	ソースパッド
115	ダイオード	DP	ドレインパッド
120	配線	GP	ゲートパッド
125	絶縁化層	IN	共通入力端子
200	保護素子	Ct1-1	制御端子
201	第1N+型領域	Ct1-2	制御端子
202	第2N+型領域	OUT1	出力端子
203	絶縁領域	OUT2	出力端子
203a	半絶縁領域	INPad	共通入力端子パッド
203b	絶縁化領域	Ct1-1Pad	制御端子パッド
204	金属電極	Ct1-2Pad	制御端子パッド
205	絶縁膜	OUT1Pad	出力端子パッド
206	金属層	OUT2Pad	出力端子パッド

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/12424

**A. CLASSIFICATION OF SUBJECT MATTER**  
Int.Cl<sup>7</sup> H01L27/095, H01L29/812

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L27/095, H01L29/812, H01L27/04, H01L21/822

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 97/45877 A1 (Hitachi, Ltd.), 04 December, 1997 (04.12.97), Page 10, line 1 to page 11, line 18; page 14, line 5 to page 16, line 8 (Family: none)	1-10, 12-20, 22, 23, 25-27, 29, 31, 32, 34 28
X	JP 2-162744 A (Hitachi, Ltd.), 22 June, 1990 (22.06.90), Page 3, upper left column, line 10 to page 4, lower left column, line 16 (Family: none)	1, 30
Y	JP 62-174975 A (NEC Corp.), 31 July, 1987 (31.07.87), Claims (Family: none)	28

 Further documents are listed in the continuation of Box C. See patent family annex.

\* Special categories of cited documents:  
 "A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier document but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
25 February, 2003 (25.02.03)Date of mailing of the international search report  
11 March, 2003 (11.03.03)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/12424

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	S. M. Sze. Physics of Semiconductor Devices. New-York: JOHN WILEY & SONS, 1981, Vol.2, ISBN 0-471-05661-8, pages 117 to 122	28
A	JP 11-220093 A (Sanyo Electric Co., Ltd.), 10 August, 1999 (10.08.99), Full text (Family: none)	11, 21, 24
A	US 5047355 A (SIEMENS AG.), 10 September, 1991 (10.09.91), Column 1, line 47 to column 3, line 3 & JP 60-86874 A & DE 3334167 A & EP 140095 A	1-34

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. C1' H01L27/095, H01L29/812

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int. C1' H01L27/095, H01L29/812, H01L27/04, H01L21/822

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国登録実用新案公報	1994-2003年
日本国実用新案登録公報	1996-2003年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	WO 97/45877 A1 (株式会社日立製作所) 1997.12.04 第10頁第1行-第11頁第18行、第14頁第5行-第16頁第8行 (ファミリーなし)	1-10, 12-20, 22, 23, 25-27, 29, 31, 32, 34
Y		28
X	JP 2-162744 A (株式会社日立製作所) 1990.06.22 第3頁左上欄第10行-第4頁左下欄第16行 (ファミリーなし)	1, 30

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

## 国際調査を完了した日

25.02.03

## 国際調査報告の発送日

11.03.03

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

## 特許庁審査官(権限のある職員)

今井 拓也

4M 9169



電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	J P 6 2 - 1 7 4 9 7 5 A (日本電気株式会社) 1987. 07. 31 特許請求の範囲 (ファミリーなし)	28
Y	S. M. Sze. Physics of Semiconductor Devices. New-York: JOHN WILEY &SONS, 1981, Vol. 2, ISBN 0-471-05661-8, page 117 to 122	28
A	J P 1 1 - 2 2 0 0 9 3 A (三洋電機株式会社) 1999. 08. 10 全文 (ファミリーなし)	11, 21, 24
A	U S 5 0 4 7 3 5 5 A (SIEMENS AKTIENGESELLSCHAFT) 1991. 09. 10 第1欄第47行—第3欄第3行  & J P 6 0 - 8 6 8 7 4 A & D E 3 3 3 4 1 6 7 A & E P 1 4 0 0 9 5 A	1-34

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**